



SOC 系列芯片 PCB 设计建议

Rev. 1.0

通讯地址: 深圳市南山区南海大道 1079 号花园城数码大厦 A 栋 9 楼
邮政编码: 518067
公司电话: +(86 755) 86169257
传 真: +(86 755) 86169057
公司网站: www.chipsea.com

历史修改记录

| 时间 | 记录 | 版本号 |
|------------|------|-----|
| 2012-12-25 | 初稿完成 | 1.0 |
| | | |
| | | |
| | | |
| | | |
| | | |

目 录

| | |
|--------------------------------|----------|
| 历史修改记录..... | 2 |
| 目 录..... | 3 |
| 1 如何提高产品的抗 ESD 性能 | 4 |
| 1.1 按钮防 ESD..... | 4 |
| 1.2 电池仓防 ESD..... | 4 |
| 1.3 更高的 ESD 要求..... | 5 |
| 2 如何提升 AD 性能 | 5 |
| 2.1 传感器信号的电容接法 | 5 |
| 2.2 AVDD 上的电容接法..... | 5 |
| 2.3 晶振电路 | 6 |
| 3 如何提高抗 RI 性能..... | 7 |
| 3.1 正确布板注意事项 | 7 |
| 4 PCBLAYOUT | 8 |
| 4.1 错误布板改进范例 | 9 |

芯海科技 SOC 系列芯片具有高精度、超低功耗的特性，在抗辐射干扰性能及高低温特性方面也在家用秤领域具有领先优势。本文主要介绍这一系列芯片在应用方案原理图及 PCB LAYOUT 时需要注意的事项，为使用者提高 AD 性能及应对欧美越来越严格的电子产品 EMC 测试标准提供帮助。

1 如何提高产品的抗 ESD 性能

对产品 ESD 性能最为重要的是产品外壳设计，必须尽可能地保证静电能量不引入到产品的 PCB 中。但是，按钮和电池仓有时在外壳设计中无法避免会被 ESD 事件所影响。所以，提升电路的 ESD 性能关键是要把按钮及电源部分的防 ESD 措施做好。

1.1 按钮防 ESD

有可能暴露于 ESD 事件的按钮（请优先使用 PT2[0]和 PT2[1]），需增加 RC 电路来引导 ESD 能量到地，一般电容取值为 $0.1\mu\text{F}$ ，电阻取值为 10K 。按键周围最好能敷满地线(采用实心铺地，不要网格铺地)。参考如下图所示：

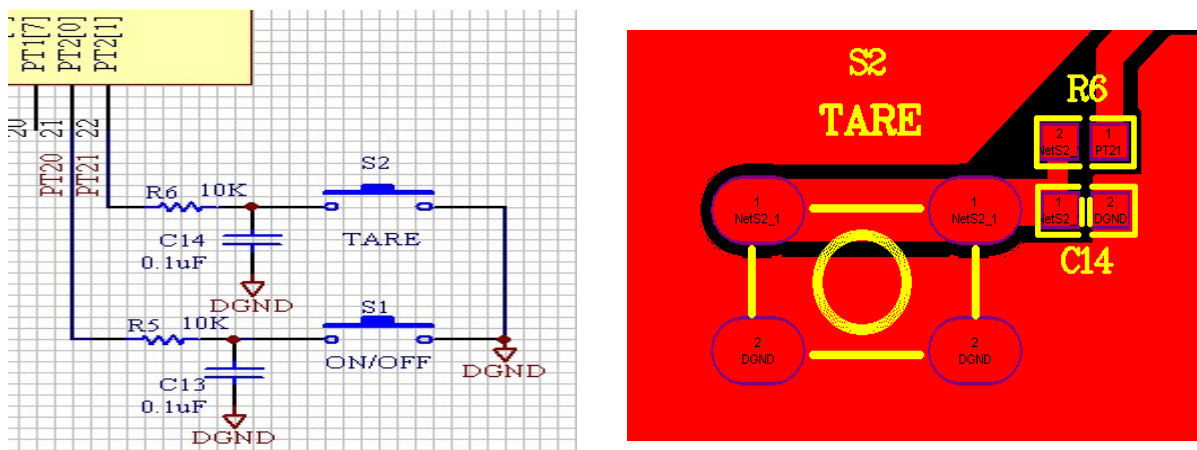


图 1 按钮防 ESD 方法

1.2 电池仓防 ESD

PCB 上的电源接入点(电池仓与 PCB 之间的连线焊接点)附近，电源线焊点后必须紧接一个 105 电容(104 电容亦可，但 105 电容可提高抗 ESD 上限)，此电容主要用于在电池仓开盖打 ESD 时，泄放静电能量到地。此处的地应该铺成一片大地。

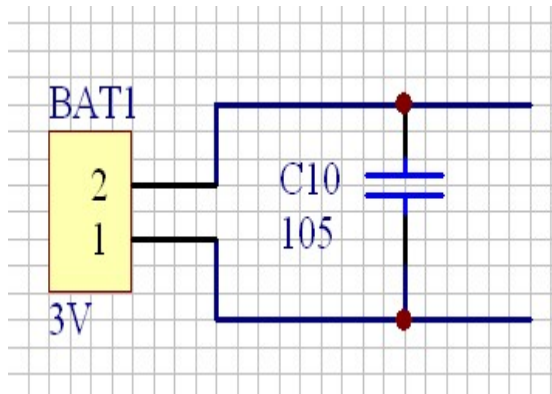


图 2 电池仓防 ESD 方法

1.3 更高的 ESD 要求

除上述两个措施之外，如果要进一步提高 ESD 性能，PCB 上的地应尽可能地铺大片实心的地，不要使用网格铺地的方式。而且，地与地之间的连接要良好，切忌零散地铺地，各块地之间使用细线连接的情况。此外，传感器的地线接法设计，也有利于提升抗 ESD 性能。原则上，传感器的地线焊点，尽可能就在电源接入焊点的旁边，这样做可以让静电能量无需经过板上绕线即到达传感器。

2 如何提升 AD 性能

对于高精度手掌秤，特别是两万点以上精度的手掌秤而言，电路及 PCB 设计至关重要，合理的设计可以有效提高整秤性能。

2.1 传感器信号的电容接法

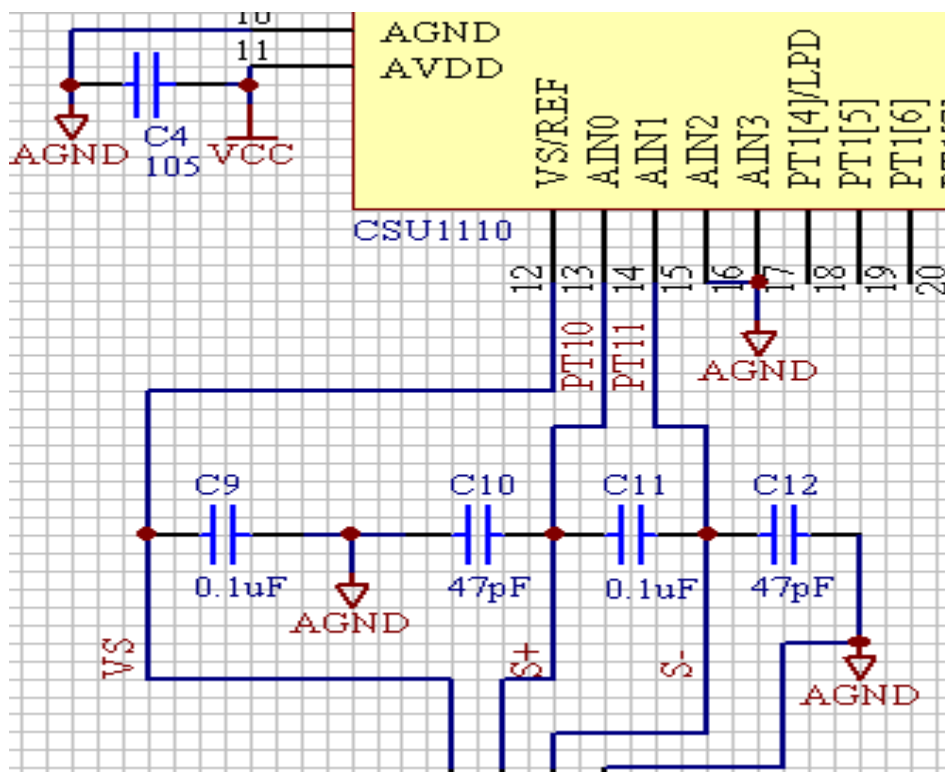


图 3 传感器上的电容接法

传感器上的电容应尽量靠近芯片管脚，且走线尽量等长平行。C10 与 C12 的接地点尽量靠近。

2.2 AVDD 上的电容接法

在 AVDD 与 AGND 之间，尽量靠近芯片的地方接一个 105 电容，如图 3 所示，此电容请选用 105。

2.3 晶振电路

在开发具有时钟功能的秤或者需要通信的秤时，通常需要使用外接晶振。晶振尽量接近芯片，走线平行，晶振底部不能走线，敷满地线。

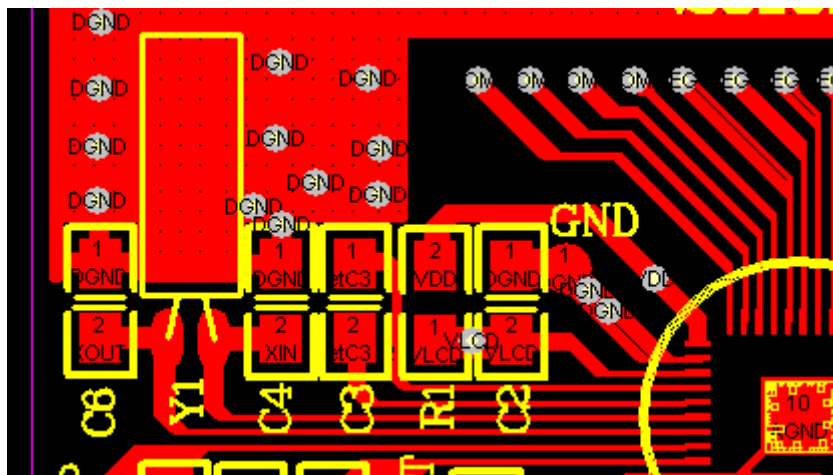
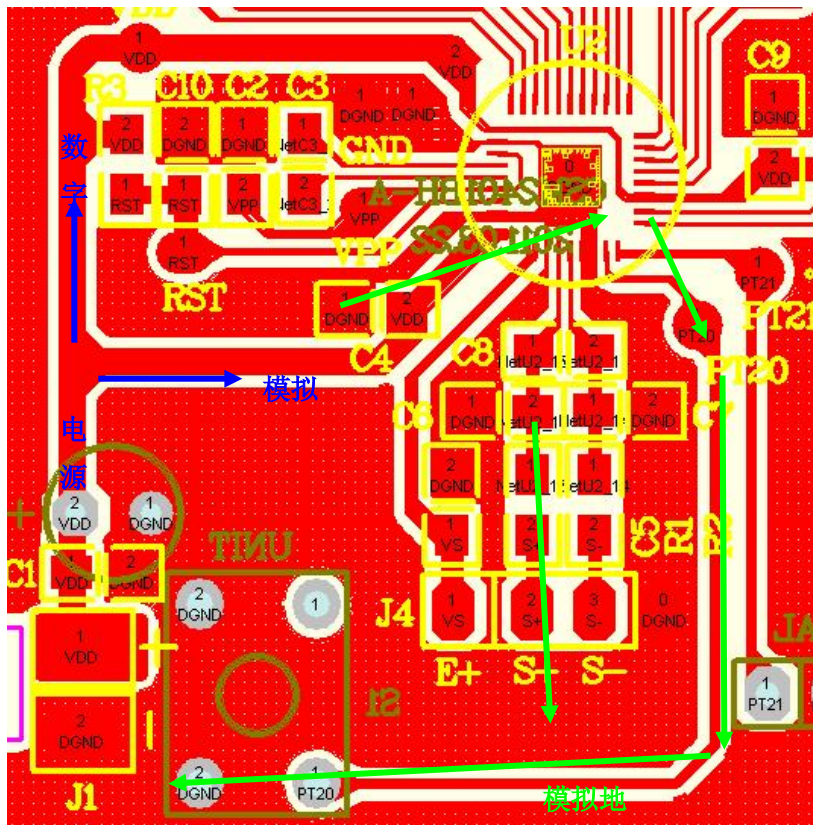


图 4 晶振电路

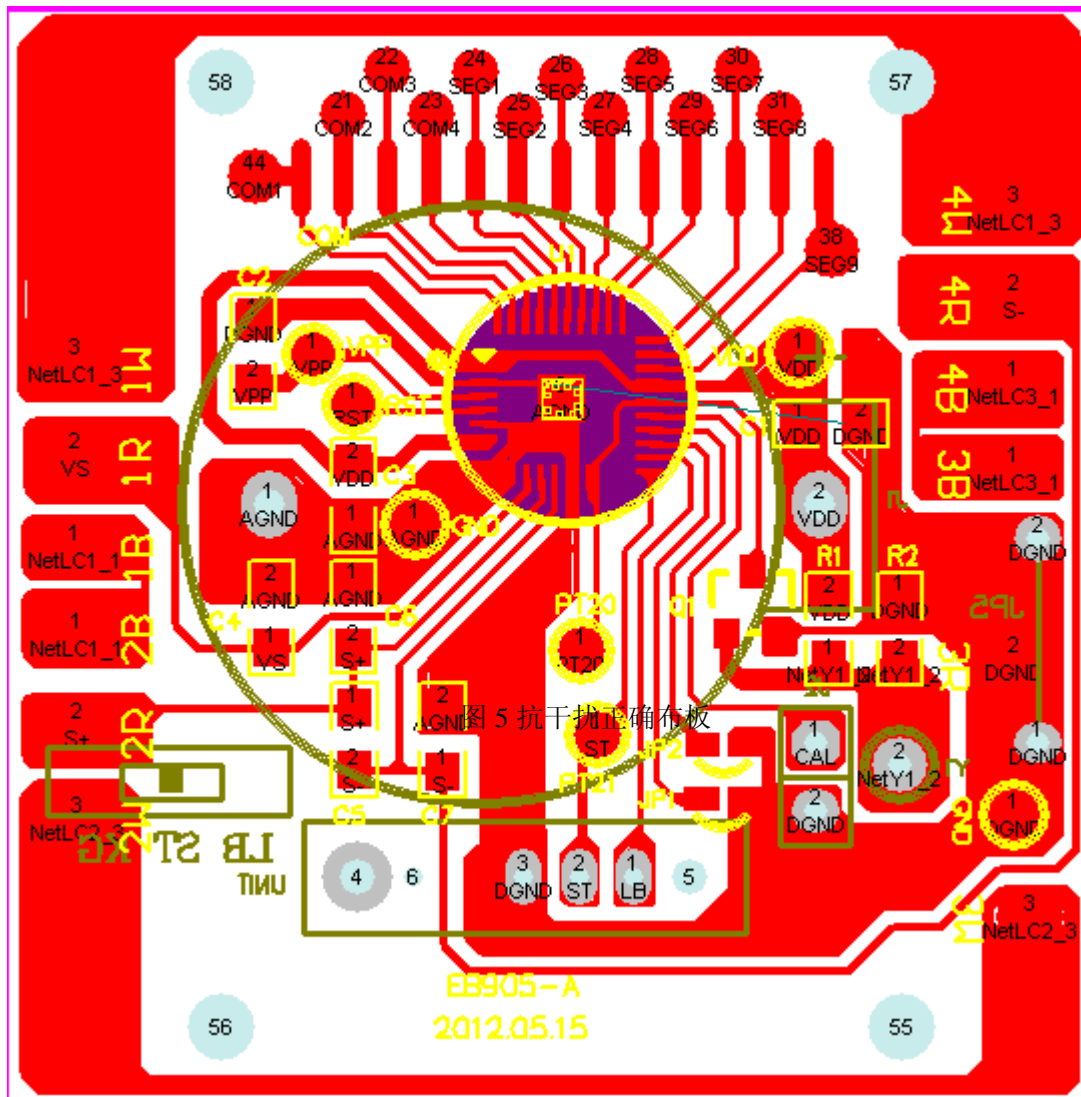
3 如何提高抗 RI 性能

3.1 正确布板注意事项

射频信号主要通过传感器和 PCB 板上的走线，感应到电动势，如果有回路，则会形成电流。对芯片的 AD 部分进行干扰。下面是布 PCB 板的注意事项：



4 PCBLayOut



- 1、数字电源与模拟电源采用单点连接，如图 5，蓝色电源走向指示。
- 2、模拟地需包围住模拟输入端，但不能形成环路，如图 5,绿色地的走向指示。
- 3、模拟地的走线不能太细，尽量有 0.5mm 以上。
- 4、模拟地与数字地采用在电源输入端进行单点连接。
- 5、模拟输入端的 S+ S-走线，尽量等长并平行进入芯片。

4.1 错误布板改进范例

下图抗 RI 效果不理想，按上面原则进行修改后，即能通过 3V/M 的测试。

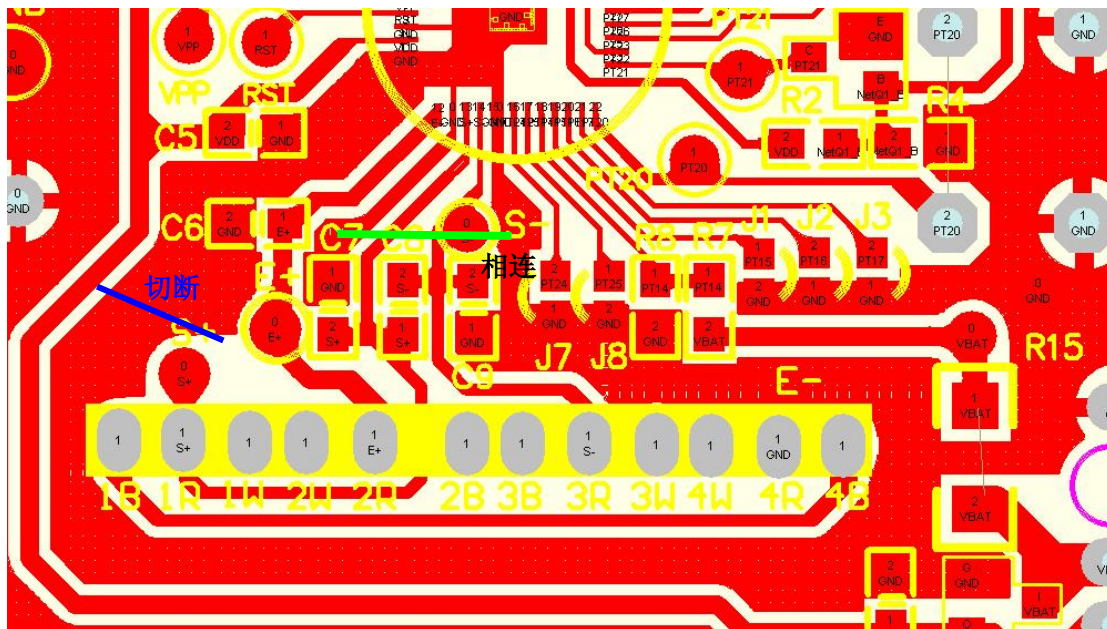


图 6 错误布板

上图需修改的地方如下：

- 1、整个模拟地形成了环路，相当于是天线效应。需在环路的地线上切断，如图 6 蓝色线位置切断。
- 2、C7 与 C8 电容之间的地相隔太远，最好能直接相连，如图 6 绿色线位置。