



## CS1231 在电子秤的应用

Rev. 1.2

通讯地址：深圳市南山区南海大道 1079 号花园城数码大厦 A 栋 9 楼  
邮政编码：518067  
公司电话：+(86 755)86169257  
传 真：+(86 755)86169057  
公司网站：www.chipsea.com

## 历史修改记录

时间	记录	版本号
2012-05-23	初版	Rev 1.0
2012-07-29	增加读 AD 值是第 25 个 CLK 的时序	Rev 1.1
2012-12-27	1) 更改时序图的 New Data Ready 标志 2) PCB Layout 注明为 CS1231 部分 3) 增加建立时间说明 4) 更改文档名称	Rev 1.2

## 目 录

历史修改记录 .....	2
目 录 .....	3
<b>1 产品简介.....</b>	<b>5</b>
1.1 芯片特性.....	5
1.2 主要应用场合.....	5
1.3 噪声性能表.....	5
1.4 芯片引脚说明.....	6
<b>2 产品应用.....</b>	<b>7</b>
2.1 应用于衡器方案的原理图.....	7
2.2 应用于衡器方案的芯片配置.....	7
2.3 原理图分析说明.....	8
2.3.1 电源部分.....	8
2.3.2 AD 芯片电源处理.....	8
2.3.3 CAP 引脚电容.....	9
2.3.4 参考电源处理.....	9
2.3.5 通讯接口处理.....	9
2.3.6 时钟接口处理.....	10
2.3.7 模拟输入端处理.....	10
<b>3 通讯时序.....</b>	<b>11</b>
3.1 读取 AD 值.....	11
3.2 待机模式.....	12
3.3 掉电模式.....	13
3.4 建立时间.....	13
3.5 通讯例程.....	14
<b>4 PCB LAYOUT 参考.....</b>	<b>16</b>
4.1 顶层 LAYOUT.....	16
4.2 底层 LAYOUT.....	17

## 图 目 录

图 1	CS1231 芯片引脚图.....	6
图 2	CS1231 应用于衡器方案的原理图.....	7
图 3	AD 部分电源.....	8
图 4	MCU 部分电源.....	8
图 5	AD 芯片模拟、数字电源连接.....	8
图 6	CAP 引脚电容.....	9
图 7	参考电源连接图.....	9
图 8	通讯接口图.....	9
图 9	时钟接口图.....	10
图 10	模拟输入端电路.....	10
图 11	CS1231 读取数据时序图.....	11
图 12	CS1231 读取数据时序图.....	11
图 13	Standby 模式时序图.....	12
图 14	Power Down 模式时序图.....	13
图 15	CS1231 建立过程.....	13
图 16	顶层 Layout.....	16
图 17	底层 Layout.....	17

## 表 目 录

表 1	噪声性能表.....	5
表 2	芯片引脚说明.....	6
表 3	读取数据时序表.....	12
表 4	Standby 模式时序表.....	12
表 5	Power Down 模式时序表.....	13

## 1 产品简介

### 1.1 芯片特性

- 集成低噪声 PGA，放大倍数可选 64，128
- 集成 1 通道 24 位无失码的差分输入 ADC，PGA=128 时 ENOB 为 20.3 位
- P-P 噪声：10Hz：183nV；80Hz：421nV
- 集成 RC 振荡器 ( $\pm 8\%$ )，可外接时钟输入
- 输出速率 10Hz/80Hz 可选
- 集成 2 线 SPI 通讯接口
- INL 小于 0.001%

### 1.2 主要应用场合

- 工业过程控制
- 电子秤
- 液体/气体化学分析
- 血液计
- 智能变换器
- 便携式设备

### 1.3 噪声性能表

表1 噪声性能表

条件	速度	增益	RMS 噪声	P-P 噪声	ENOB(RMS)	NOISE-FREE BITS
AVDD=5V VREF=5V	10Hz	64	32nV	242nV	21.2	18.3
		128	30nV	183nV	20.3	17.7
	80Hz	64	105nV	484nV	19.5	17.3
		128	80nV	421nV	18.9	16.5
AVDD=3V VREF=3V	10Hz	64	32nV	192nV	20.5	17.9
		128	28nV	156nV	19.7	17.2
	80Hz	64	63nV	383nV	19.5	16.9
		128	73nV	358nV	18.3	16

## 1.4 芯片引脚说明

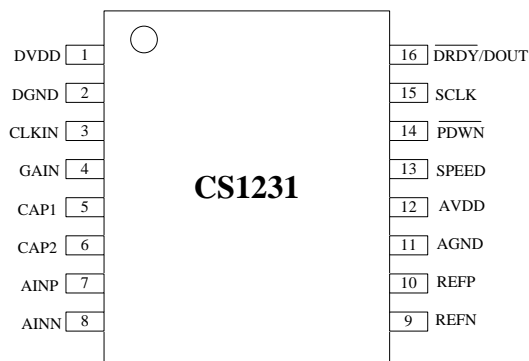


图1 CS1231 芯片引脚图

表2 芯片引脚说明

序号	引脚名称	输入/输出	说明
1	DVDD	P	数字电源
2	DGND	P	数字地
3	CLKIN	DI	外部时钟输入
4	GAIN	AI	增益选择: GAIN=0, PGA=64; GAIN=1, PGA=128
5	CAP1	AI	PGA 放大器输出, CAP1、CAP2 之间外接 0.1uF 电容
6	CAP2	AI	
7	AINP	AI	通道正输入
8	AINN	AI	通道负输入
9	REFN	AI	参考电压负输入端
10	REFP	AI	参考电压正输入端
11	AGND	P	模拟地
12	AVDD	P	模拟电源
13	SPEED	DI	输出速率选择; SPEED=0, 10Hz; SPEED=1, 80Hz
14	$\overline{PWDN}$	DI	Power down 控制端口(低电平有效)
15	SCLK	DI	SPI 时钟端口
16	$\overline{DRDY}/DOUT$	DO	SPI 数据输入/输出端口

## 2 产品应用

### 2.1 应用于衡器方案的原理图

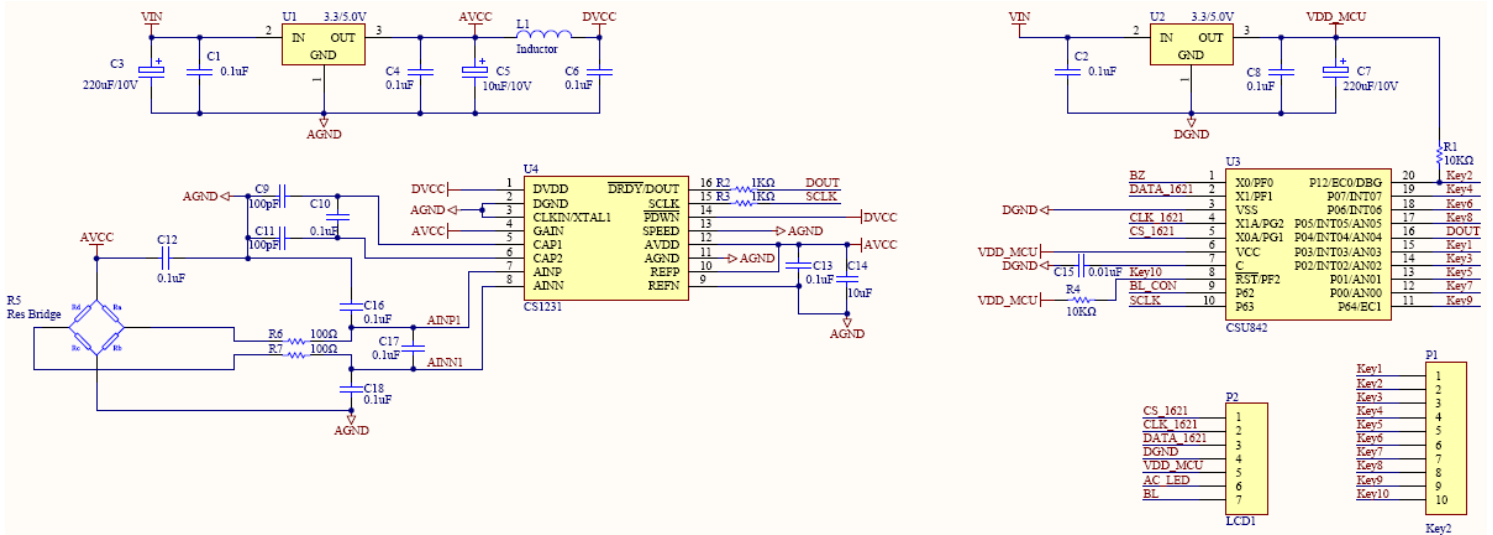


图2 CS1231 应用于衡器方案的原理图

### 2.2 应用于衡器方案的芯片配置

- (1) GAIN = 1;                   => PGA = 128。
- (2) SPEED = 0;                 => Rate = 10SPS。
- (3) REFP – REFP = AVCC = DVCC。
- (4) AVCC = DVCC = 3.3V 或 5.0V。
- (5) CLKIN / XTAL1 = 0;       => 使用内部 RC 振荡器。

## 2.3 原理图分析

### 2.3.1 电源部分

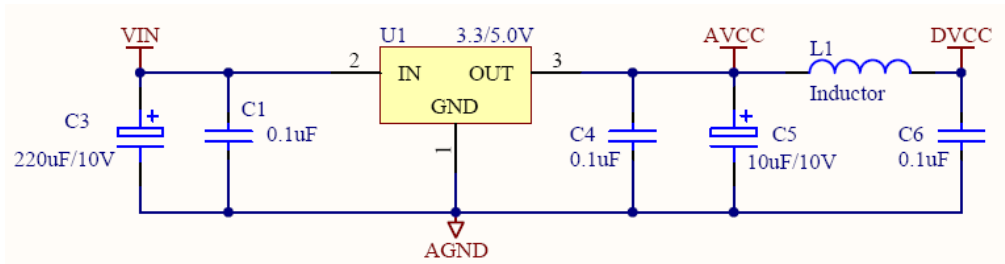


图3 AD 部分电源

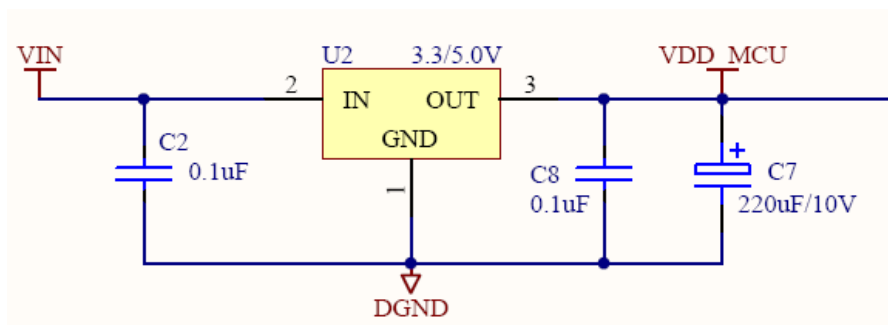


图4 MCU 部分电源

AD部分与MCU部分的工作电源分离。MCU部分工作电源与显示的工作电源为同一电源，此电源会由于MCU的工作电流及显示的电流变化而造成一定的波动，所以在高精度应用场合，为了避免MCU部分的工作电源对AD部分工作电源造成影响，于是将AD部分的工作电源与MCU的工作电源分开。

### 2.3.2 AD芯片电源处理

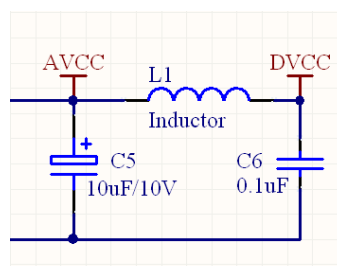


图5 AD 芯片模拟、数字电源连接

LDO电源芯片稳压后的电源，先经过AVCC（芯片模拟电源），再经过磁珠（L1）给DVCC（芯片数字电源），这样可以避免数字电源上的噪声影响模拟电源AVCC，在高精度场合建议如上使用方法。



2.3.3 CAP引脚电容

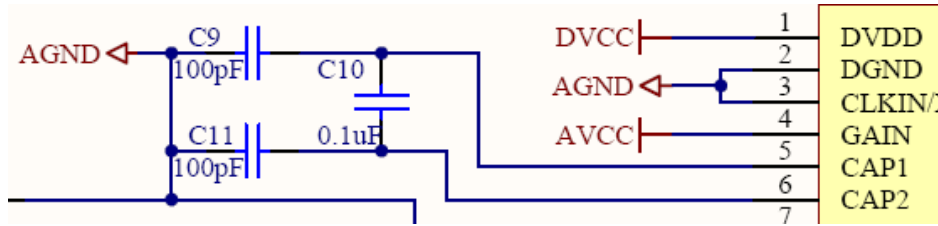


图6 CAP 引脚电容

- (1) CAP引脚间的0.1uF电容 (C10) 主要用于模拟电路的共模滤波。
- (2) CAP引脚各接100pF电容 (C9、C11) 主要用于模拟电路的差模滤波。

2.3.4 参考电源处理

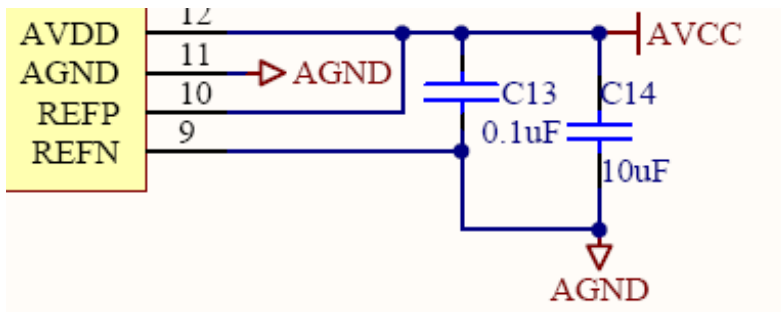


图7 参考电源连接图

参考电源REFP端与AVCC相连，REFN端与AGND相连，使用2个电容（C13、C14）进行滤波，C13用于滤除高频段噪声，C14用于滤除频段较低的噪声。

2.3.5 通讯接口处理

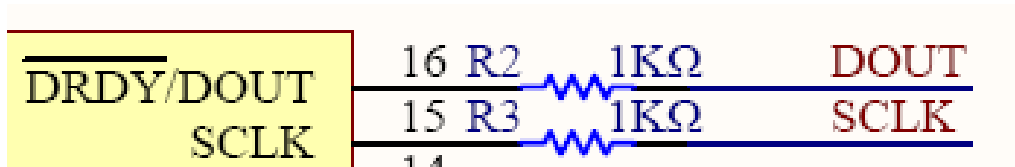


图8 通讯接口图

CS1231的通讯接口与MCU相连的过程中，各串联1个1K的电阻，此电阻可以平衡MCU与ADC之间接口的电压，同时还可以提高通讯在EMC方面的可靠性。

## 2.3.6 时钟接口处理

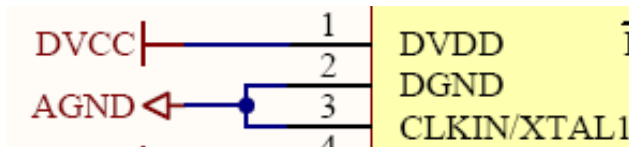


图9 时钟接口图

时钟接口将CLKIN/XTAL1作为外部时钟的输入端。若使用内部时钟，即按如上图连接方式，CLKIN/XTAL1连接到AGND。

## 2.3.7 模拟输入端处理

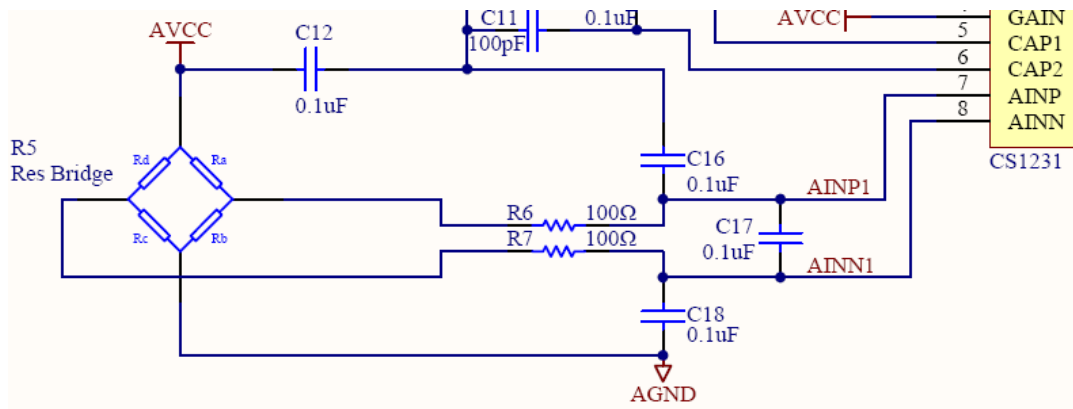


图10 模拟输入端电路

- (1) 桥式传感器供电。使用VREF为传感器的激励电源，旁接一个电容C12以保证激励电源的稳定性。
- (2) 信号输入端经过一个RC滤波器 (R6、C16； R7、C18) 再进入ADC，用于提高抗RF辐射干扰性能。

### 3 通讯时序

CS1231采用2线的通讯接口：DRDY/DOUT（数据线）、SCLK（时钟线）。

#### 3.1 读取 AD 值

CS1231 可以持续的转换模拟输入信号，当将  $\overline{DRDY}/DOUT$  拉低后，表明数据已经准备好接受，输入的第 1 个 SCLK 就可以将输出的最高位读出，在 24 个 SCLK 后，将所有的 24 位 DOUT 数据读出，之后  $\overline{DRDY}/DOUT$  会保持着最后一位的数据，直到下一个数据准备好之前拉高，也可通过第 25 个 SCLK 可以将  $\overline{DRDY}/DOUT$  拉高，此后当  $\overline{DRDY}/DOUT$  被再次拉低，表示新的数据已经转换完成，可进行下一个数据读取。其基本时序如图所示：

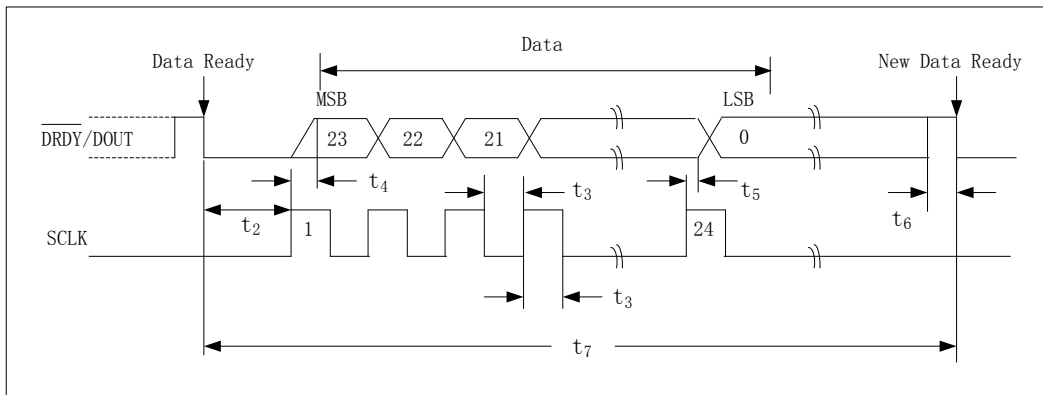


图11 CS1231 读取数据时序图

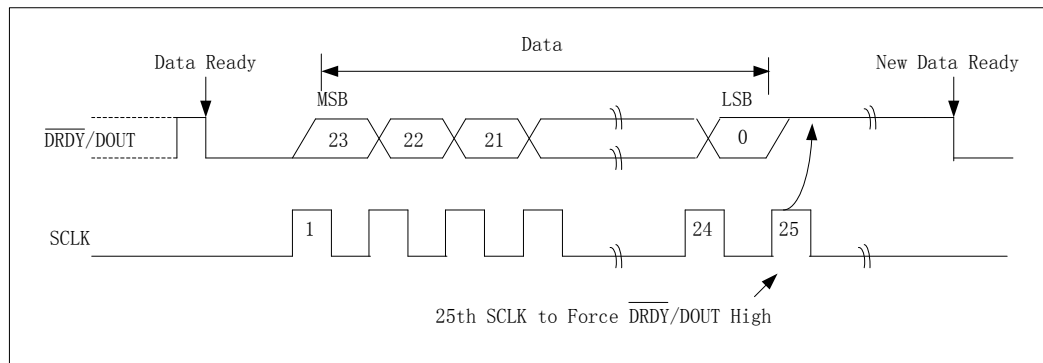


图12 CS1231 读取数据时序图

表3 读取数据时序表

参数	描述	最小值	典型值	最大值	单位
t2	$\overline{DRDY}/DOUT$ 变低后到第一个 SCLK 上升沿	0			ns
t3	SCLK 高电平或低电平脉宽	250			ns
t4	SCLK 上升沿到新数据位有效(传输延迟)			200	ns
t5	SCLK 上升沿到旧数据位有效(保持时间)	0			ns
t6 <sup>(1)</sup>	数据更新, 不允许读之前的数据	39			us
t7 <sup>(1)</sup>	转换时间 (1/data rate)	SPEED = 1	12.5		ms
		SPEED = 0	100		ms

(1) 值是在 fclk=4.9152MHz 时对应的值, 不同的 fclk 频率, 数值等比例变化

### 3.2 待机模式

Standby模式通过关闭大部分电路来减小功耗。在standby模式中, 整个模拟电路关闭, 只有时钟电路工作。进入standby模式的方式是,  $\overline{DRDY}/DOUT$  变低后(数据准备好), 一直保持SCLK高电平即可进入standby模式。进入standby模式的方式是在任何读取数据过程中。当SCLK保持高电平满足t10, Standby模式将会激活。进入standby模式,  $\overline{DRDY}/DOUT$  会保持高电平。在standby模式, SCLK必须一直保持为高电平。当SCLK变低电平时, 芯片退出standby模式开始新的数据转换。

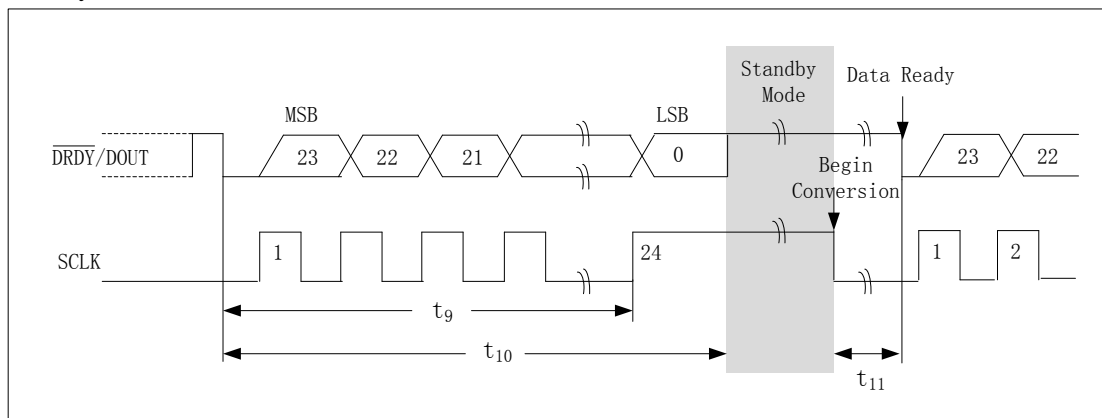


图13 Standby 模式时序图

表4 Standby 模式时序表

参数	描述	最小值	最大值	单位	
t9 <sup>(1)</sup>	在 $\overline{DRDY}/DOUT$ 变低后, SCLK 拉高进入 standby 模式	SPEED = 1	0	12.44	ms
		SPEED = 0	0	99.94	ms
t10 <sup>(1)</sup>	standby 模式激活时间	SPEED = 1	12.46		ms
		SPEED = 0	99.96		ms
t11 <sup>(1)</sup>	退出 standby 后到数据准备好	SPEED = 1	57	57	ms
		SPEED = 0	407	407	ms

(1) 值是在 fclk=4.9152MHz 时对应的值, 不同的 fclk 频率, 数值等比例变化

3.3 掉电模式

$\overline{PDWN}$  信号有效时关掉芯片所有电路，功耗小于 1.5uA。只需把  $\overline{PDWN}$  引脚保持低电平，即可进入 Power down 模式。

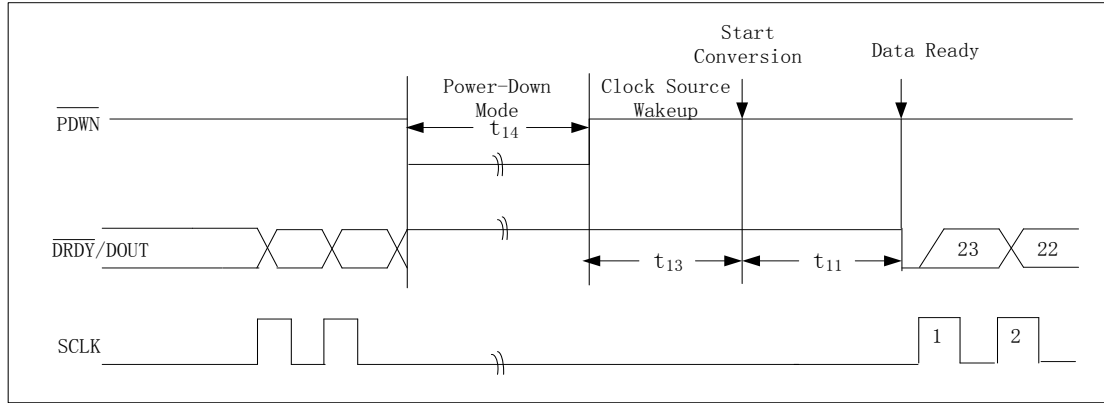


图14 Power Down 模式时序图

表5 Power Down 模式时序表

参数	描述	典型值	单位
t13 <sup>(1)</sup>	在 POWER DOWN 模式下唤醒时间	内部时间	7.95
		外部时间	0.16
		晶振	5.6
t14 <sup>(1)</sup>	$\overline{PDWN}$ 脉宽	26(min)	us

(1) 值是在fclk=4.9152MHz时对应的值，不同的fclk频率，数值等比例变化

3.4 建立时间

CS1231 在连续转换过程中，若外部差分输入信号发生突然变化，同样需要建立时间。突变的信号需要 4 个转换周期进行建立，第 5 个转换周期得到最终的 AD 值。图 15 描述突变信号建立的过程。若在建立的过程中，信号再发生突变，则忽略之前的建立，需要新的 4 个转换周期进行建立，之后紧接着的第 5 个转换周期得到最终的 AD 值。

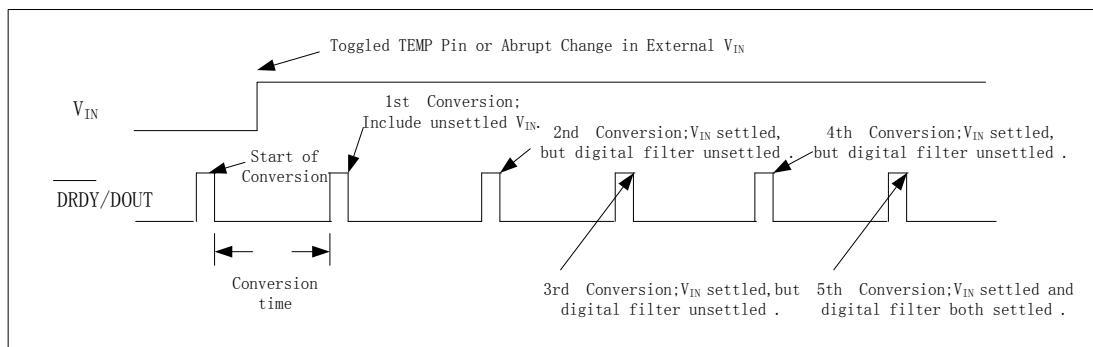


图15 CS1231 建立过程

## 3.5 通讯例程

```
//=====
// CS1231/CS1232 的通讯程序
// 此程序使用中断的方式来判断 CS1231/CS1232 的转换数据是否准备好
// 建议使用中断方式（下降沿触发）。
//=====
//-----
//函数名称: void CS1231_Clk(void)
//功    能: 时钟脉冲
//说    明:
//-----
void CS1231_Clk(void)
{
    IO_ADC_SCLK = HIGH;
    Delay();
    IO_ADC_SCLK = LOW;
    Delay();
}
//-----
//函数名称: 从 CS1231/CS1232 读取 1 字节的数据
//功    能:
//说    明: 返回 1 字节的无符号字符型 rdata
//-----
u8 Read_byte_adcIC(void)
{
    u8 i;
    u8 rdata = 0;                //初始化返回值为 0
    for(i = 0; i < 8; i++)
    {
        rdata <<= 1;            //返回值左移 1 位
        CS1231_Clk();          //上升沿接收数据,下降沿更新数据
        if(IO_ADC_DDSTAT)
        {
            rdata += 1;        //若数据线上数据为 1, 则返回值加 1
        }
    }
    return(rdata);
}
```

```

//-----
//函数名称: u32 Get_AD_adcIC(void)
//功    能: 从 CS1231/CS1232 读取 AD 值数据:24 位
//说    明: 返回 4 字节的长整型数据 gdata.word
//-----
u32 Get_AD_adcIC(void){
    u8 i;
    union LongData gdata;           //联合体: 一个 32 位数据及 4 字节的数组
                                    //用于保存从 CS1231/CS1232 读取的 AD 值

    gdata.byte[0] = 0;              //将 32 位数据的最高字节赋值 0
    while(IO_ADC_DDAT);             //读 AD 值之前再次确认数据线是否为低电平
    PD_CR2 = 0x00;                  //不使能 PC5 外部中断功能
    EXTI_CR1 = 0x00;                //禁止中断, 防止读取 AD 数据时进入中断

    IO_ADC_SCLK = LOW;              //此语句可确保在读 AD 值之前 SCLK 为低电平
    for(i = 1; i < 4; i++){         //读到的 3 字节数据到数组的元素: 1~3
    {
        gdata.byte[i] = Read_byte_adcIC();
    }
    CS1231_Clk();                   //向 CS1231/CS1232 发送结束标志位
    PD_CR2 = 0x10;                  //使能 PC5 外部中断功能
    EXTI_CR1 |= 0x80;               //DDAT 设为输入口, 作为中断口
    return(gdata.word);
}
//+++++
void Init_adcIC(void)               //CS1231/CS1232 初始化
{
    IO_ADC_SCLK = LOW;              //SCLK 长时间为高电平时, AD 会进入待机模式
    while(IO_ADC_DDAT);             //等待到一个 AD 值, 表示 AD 工作正常
    while(!IO_ADC_DDAT);
}
//+++++
// 中断服务子程序
__interrupt void PD2_EXTI_Interrupr(void)
{
    B_AdReadEN = 1;                 //在中断服务子程序中, 将“AD 已准备好”的标志置 1
}
//+++++
// 主程序调用读取 AD 值子程序

void mail(void)
{
    .....
    if(B_AdReadEN)                  //在主函数中, 判断“AD 已准备好”的标志是否为 1
    {
        B_AdReadEN = 0;
        R_AD = Get_AD_adcIC();
        .....
    }
}

```

## 4 PCB Layout 参考

### 4.1 顶层 Layout

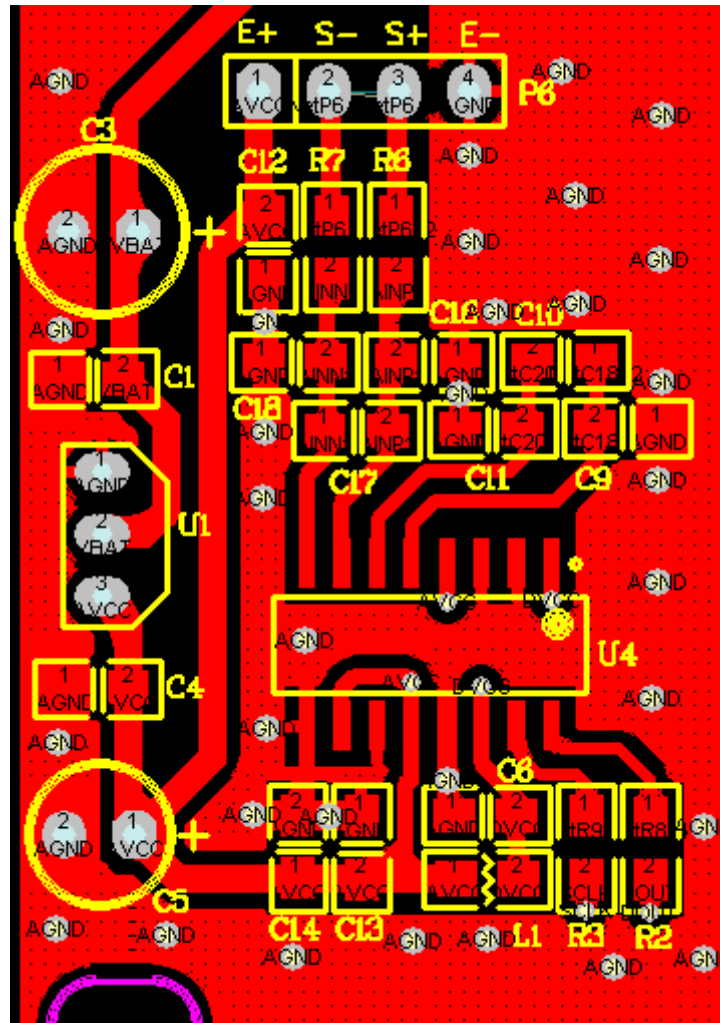


图16 顶层 Layout

- (1) 电源芯片稳压后，先供模拟电源，再供给数字电源，或者分开不同支路供电。
- (2) 参考电源的2个滤波电容尽可能造成VEFP引脚端。
- (3) CAP引脚端的电容尽可能接近芯片引脚。
- (4) 芯片工作电源走线、传感器激励电源走线尽可能粗。
- (5) 芯片底部尽可能铺地，且与底层的地面相连通。



4.2 底层 Layout

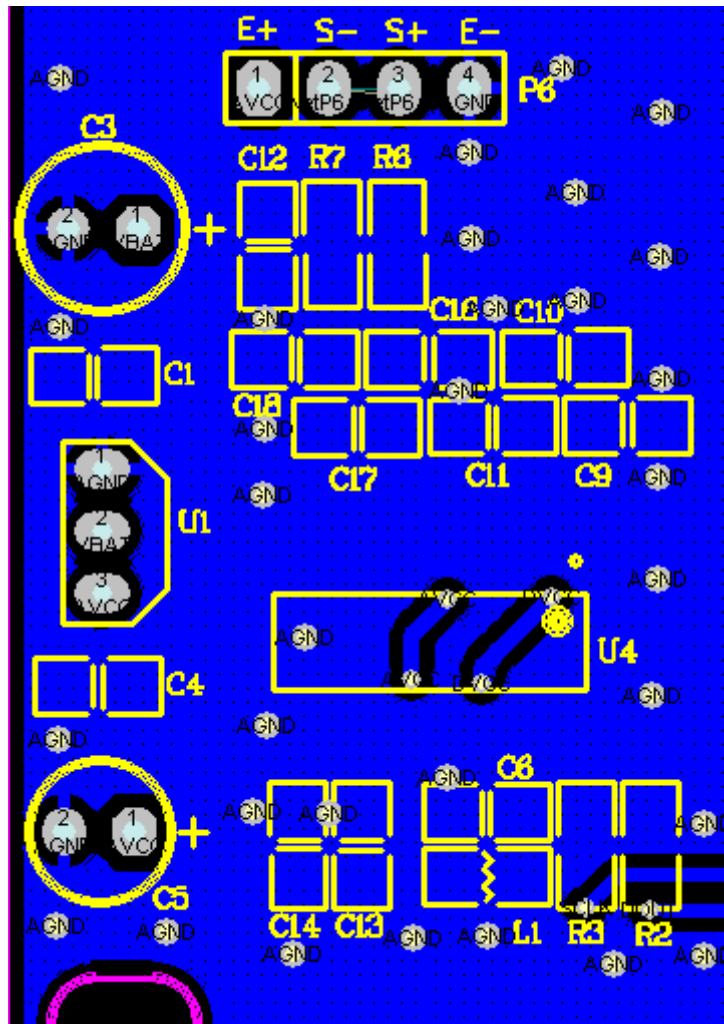


图17 底层 Layout

(1) 尽可能保证底层的铺地的完整性。