



芯海科技
CHIPSEA

CS7123 用户手册

三路 10bit 高速视频 DA 转换器

Rev.1.0

通讯地址:深圳市南山区南海大道 1079 号花园城数码大厦 A 栋 9 楼

邮政编码:518067

公司电话:+(86 755)86169257

传真:+(86 755)86169057

公司网站:www.chipsea.com



三路 10bit 高速视频 DA 转换器产品介绍

特点:

- 240MHz 的最大采样速度
- 三路 10 位 D/A 转换器
- SFDR :
 - 当时钟频率为 50MHz; 输出为 1MHz 时, -70dB
 - 当时钟频率为 140MHz; 输出为 40MHz 时, -53dB
- 与 RS-343A/RS-170 接口输出兼容
- DA 转换器的输出电流范围为: 2mA 到 26mA
- TTL 兼容输入
- 内部基准参考电压为: 1.23V
- 单电源+5V/+3.3V 工作
- 低功耗 (3V 时最小值为 30mW)

描述:

- CS7123 是一个三路高速、数模转换器的单片集成电路。它包括三路高速、10 位输入的视频 DA 转换器、标准的 TTL 输入 和互补输出高阻抗的模拟输出电流源。它有三
-

路独立的 10 位输入端口, 可以在单 5V 电源下工作, 也可以在单 3.3V 电源下工作。

- CS7123 还有附加的两个视频控制信号: 1: 复合 SYNC (同步信号) 2: BLANK (黑电平)
- CS7123 也有一个待电模式。CS7123 由 5V CMOS 工艺制造、单片 CMOS 结构确保了低功耗的性能。
- CS7123 为 48 脚 LQFP 封装。
- 工业温度范围 (-40°C 到 85°C)
- 低功耗的静态模式 (3V 时典型值为 6mW)

主要应用:

数字视频系统(1600x1200@100Hz)

- 高分辨率的彩色图片
- 数字射频调制
- 图像处理
- 仪器
- 视频信号再现

历史修改记录

时间	记录	版本号
2012-12-25	换新 LOGO 初稿完成	1.0

目 录

历史修改记录 3

目 录 4

原理框图 5

引脚定义 6

电特性 9

电路描述 16

PCB 的考虑 20

原理框图

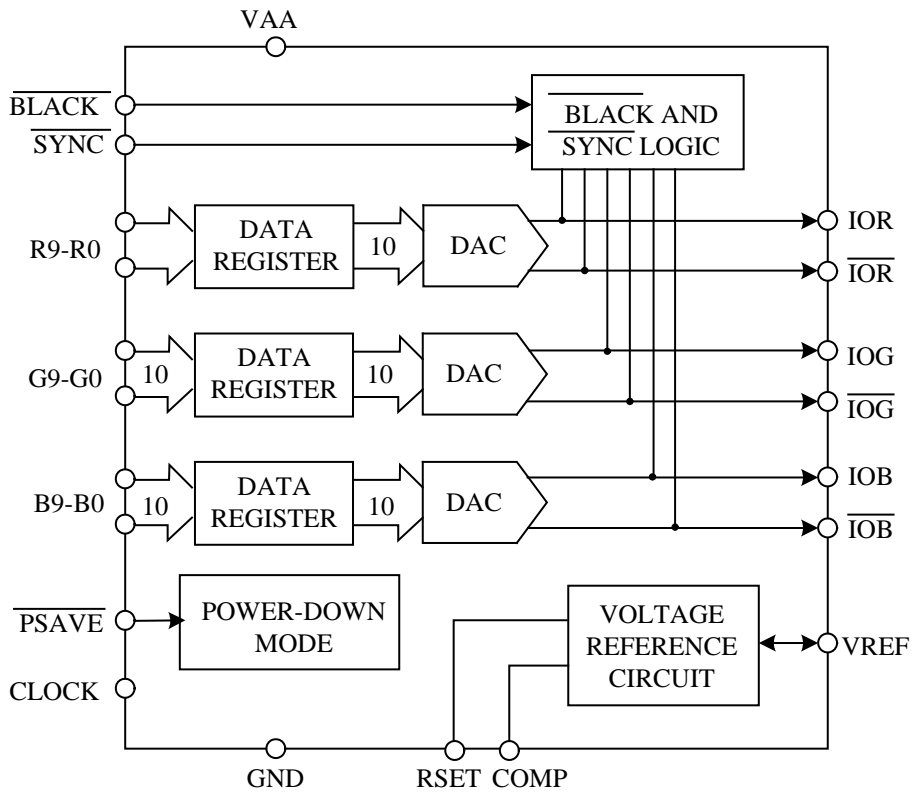


图1. CS7123 功能框图

引脚定义

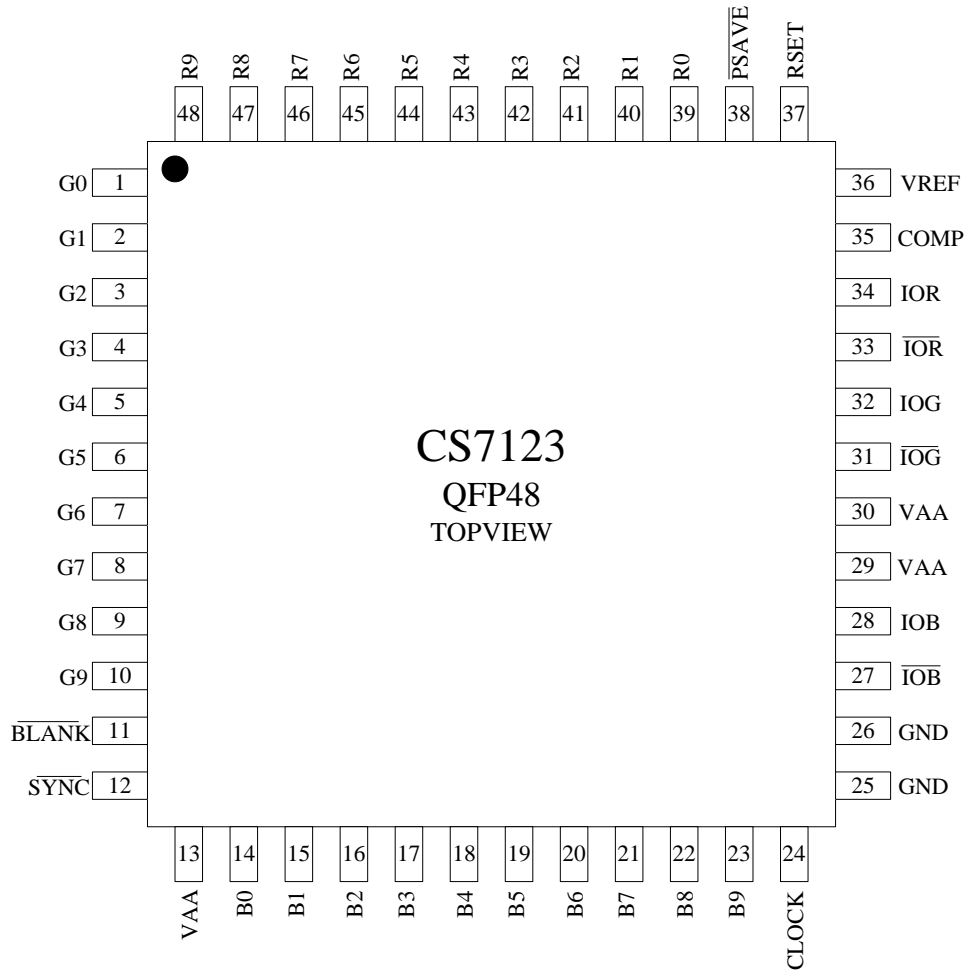


图2. CS7123 管脚图

表1. CS7123 引脚说明表

引脚端号	符号	名称	注释
1-10	G0-G9	绿色像素数据输入端	(TTL 兼容), 像素数据在时钟上升沿被锁存。G0 是最低数据有效位。不用的像素位应该与 PCB 的电源面或地面相连。
11	$\overline{\text{BLANK}}$	灰电平控制端	(TTL 兼容) 为低时, 使模拟输出 IOR、IOB、IOG 为灰电平级, 与 R0-R9、G1-G9、B0-B9 的输入无关, 它在时钟上升沿被锁存。
12	$\overline{\text{SYNC}}$	同步信号控制端	(TTL 兼容) 为低时, 输出将关掉 40 IRE 的电流, 此电流与内部的 IOG 输出相连。由于此端与其它控制端和输入数据信息无关, 因此只需

引脚端号	符号	名称	注释
			在灰电平间隔期间断定。它在时钟上升沿被锁存。
13	VAA	模拟电源端	5V±5%。整个芯片的 VAA 必须相连。
14-23	B0-B9	蓝色像素数据输入端	(TTL 兼容), 像素数据在时钟上升沿被锁存。B0 是最低数据有效位。不用的像素位应该与 PCB 的电源面或者地面相连
24	CLOCK	时钟输入端	时钟上升沿锁存 R0-R9、G1-G9、B0-B9、SYNC 和 BLANK。一般来说, 它是视频系统的像素时钟速度。时钟由专门的 TTL 缓冲器驱动。
25、26	GND	地	芯片所有的地必须相连
27	$\overline{\text{IOB}}$	蓝色通道的电流反向输出端	RGB 视频输出, 能够直接把 RS-343 和 RS-170 的视频信号驱动进入到双端 75Ω 的负载。如果互补输出不需要, 此端应与地相连。
28	IOB	蓝色通道的电流正向输出端	高输出阻抗电流源, 能够直接驱动双端并联 75Ω 的铜轴电缆。
29、30	VAA	模拟电源	5V±5%。整个芯片的 VAA 必须相连
31	$\overline{\text{IOG}}$	绿色通道的电流反向输出端	RGB 视频输出, 能够直接把 RS-343 和 RS-170 的视频信号驱动进入到双端并联 75Ω 的负载。如果互补输出不需要, 此端应与地相连。
32	IOG	绿色通道的电流正向输出端	高输出阻抗电流源, 能够直接驱动双端并联 75Ω 的铜轴电缆
33	$\overline{\text{IOR}}$	红色通道的电流反向输出端	RGB 视频输出, 能够直接把 RS-343 和 RS-170 的视频信号驱动进入到双端并联 75Ω 的负载。如果互补输出不需要, 此端应与地相连。
34	IOR	红色通道的电流同向输出端	高输出阻抗电流源, 能够直接驱动双端并联 75Ω 的铜轴电缆
35	COMP	补偿端	用于内部参考运放的补偿。需要连接一个 0.1μ 的陶瓷电容到 VAA
36	V _{REF}	基准输出端	用于电压参考的输入或者电压参考输出 (1.235)
37	R _{SET}	电阻设定端	此端与地之间接一个电阻, 此电阻控制视频信号的满幅度。R _{SET} 和 IOG 满刻度输出电流之间的关系为: $R_{SET} = 11.445 \times V_{REF} / \text{IOG}$ (有 SYNC 信号时) R _{SET} 和 IOR, IOB 满刻度输出电流之间的关系为: $\text{IOR}, \text{IOB} = 7.9896 \times V_{REF} / R_{SET}$ 当 SYNC 信号无效时, 绿色通道输出电流的计算方法和红、蓝通道一样。

引脚端号	符号	名称	注释
38	$\overline{\text{PSAVE}}$	节能模式控制端	当此脚有效时，可以节能
39-48	R0-R9	红色通道像素数据输入端	(TTL 兼容)，像素数据在时钟上升沿被锁存。B0 是最低数据有效位。不用的像素位应该与 PCB 的电源或者地相连

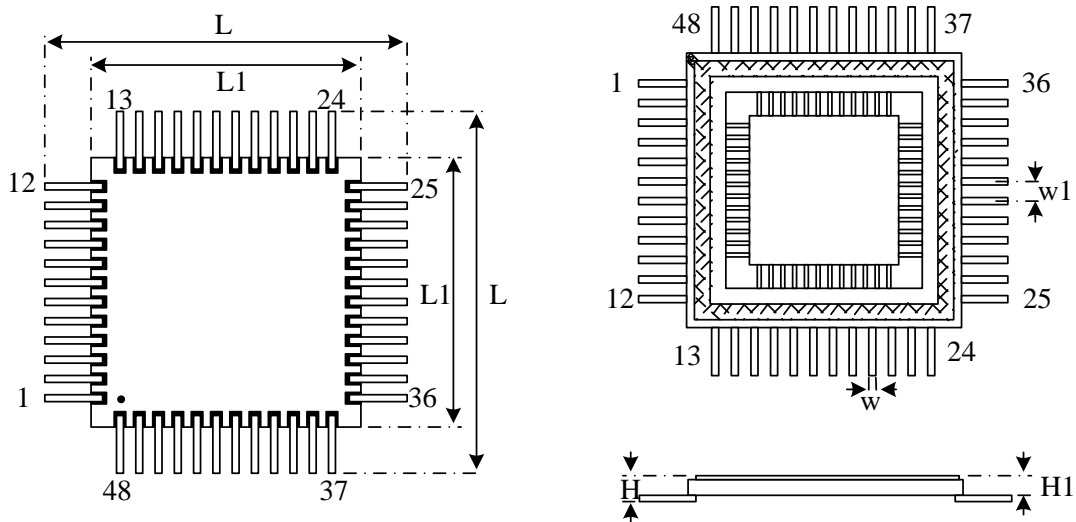


图3. CS7123 外形图

电特性

5V 静态参数: ($V_{AA}=5V \pm 5\%$, $V_{REF}=1.235V$, $R_{SET}=560\Omega$, $C_L=10pF$, 如果没有特别说明, 所有的参数都使用最大温度到最小温度, $T_j=110^\circ C$)

参数		最小值	典型值	最大值	单位	测试条件
静态性能	分辨率 (每个 DA)	10			Bits	单调性保证
	积分非线性误差 (INL)	-1	± 0.4	+1	LSB	
	差分非线性误差 (DNL)	-1	± 0.25	+1	LSB	
数字控制输入	输入高电平 (V_{IH})	2			V	$V_{IN}=0.0V$ 或 $V_{IN}=V_{DD}$
	输入低电平 (V_{IL})			0.8	V	
	输入电流 (V_{IN})	-1		+1	μA	
	PSAVE 下拉电流		20		μA	
	输入电容, C_{IN}		10		pF	
模拟输入	输出电流	2.0		26.5	mA	Green DAC Sync=High
	输出电流	2.0		18.5	mA	R/G/B DAC Sync=Low
	DAC 与 DAC 之间的匹配度		1.0	5	%	
	输入电压余度, V_{OC}	0		+1.4	V	
	输出阻抗, R_{OUT}		100		K Ω	
	输出电容, C_{OUT}		10		pF	$I_{OUT}=0mA$
	失调误差	-0.025		+0.025	%FSR	DAC Output=0 测试
增益误差	-5.0		+5.0	%FSR	FSR=17.62mA	
电压参考范围输出阻抗, V_{REF} (内部和外部)		1.12	1.235	1.35	V	
功耗	数字电源电流		3.4	9	mA	$f_{CLK}=50MHz$
	数字电源电流		10.5	15	mA	$f_{CLK}=140MHz$
	数字电源电流		18	25	mA	$f_{CLK}=240MHz$
	模拟电源电流		67	72	mA	$R_{SET}=560\Omega$
	模拟电源电流		8		mA	$R_{SET}=4933\Omega$
	节能电流		2.1	5.0	mA	PSAVE=Low, 数字和控制输入为 VDD
电源抑制比			0.1	0.5	%	

5V 动态参数: ($V_{AA}=5V \pm 5\%$, $V_{REF}=1.235V$, $R_{SET}=560\Omega$, $C_L=10pF$, 如果没有特别说明, 所有的参数都使用最大温度到最小温度, $T_j=110^\circ C$)

参数	最小值	典型值	最大值	单位
交流线性度				
无失真动态范围 (SFDR) 到奈奎斯特频率				
单端输出				
$f_{CLK}=50MHz$; $f_{OUT}=1.00MHz$		67		dBc
$f_{CLK}=50MHz$; $f_{OUT}=2.51MHz$		67		dBc
$f_{CLK}=50MHz$; $f_{OUT}=5.04MHz$		63		dBc
$f_{CLK}=50MHz$; $f_{OUT}=20.2MHz$		55		dBc
$f_{CLK}=100MHz$; $f_{OUT}=2.51MHz$		62		dBc
$f_{CLK}=100MHz$; $f_{OUT}=5.04MHz$		60		dBc
$f_{CLK}=100MHz$; $f_{OUT}=20.2MHz$		54		dBc
$f_{CLK}=100MHz$; $f_{OUT}=40.4MHz$		48		dBc
$f_{CLK}=140MHz$; $f_{OUT}=2.51MHz$		57		dBc
$f_{CLK}=140MHz$; $f_{OUT}=5.04MHz$		58		dBc
$f_{CLK}=140MHz$; $f_{OUT}=20.2MHz$		52		dBc
$f_{CLK}=140MHz$; $f_{OUT}=40.4MHz$		41		dBc
双端输出				
$f_{CLK}=50MHz$; $f_{OUT}=1.00MHz$		70		dBc
$f_{CLK}=50MHz$; $f_{OUT}=2.51MHz$		70		dBc
$f_{CLK}=50MHz$; $f_{OUT}=5.04MHz$		65		dBc
$f_{CLK}=50MHz$; $f_{OUT}=20.2MHz$		54		dBc
$f_{CLK}=100MHz$; $f_{OUT}=2.51MHz$		67		dBc
$f_{CLK}=100MHz$; $f_{OUT}=5.04MHz$		63		dBc
$f_{CLK}=100MHz$; $f_{OUT}=20.2MHz$		58		dBc
$f_{CLK}=100MHz$; $f_{OUT}=40.4MHz$		52		dBc
$f_{CLK}=140MHz$; $f_{OUT}=2.51MHz$		62		dBc
$f_{CLK}=140MHz$; $f_{OUT}=5.04MHz$		61		dBc
$f_{CLK}=140MHz$; $f_{OUT}=20.2MHz$		55		dBc
$f_{CLK}=140MHz$; $f_{OUT}=40.4MHz$		53		dBc
加窗口函数后的非失真动态范围				
单端输出				
$f_{CLK}=50MHz$; $f_{OUT}=1.00MHz$; 1MHz 扫宽		77		dBc
$f_{CLK}=50MHz$; $f_{OUT}=5.04MHz$; 2MHz 扫宽		73		dBc
$f_{CLK}=140MHz$; $f_{OUT}=5.04$; 4MHz 扫宽		64		dBc
双端输出				
$f_{CLK}=50MHz$; $f_{OUT}=1.00MHz$; 1MHz 扫宽		74		dBc
$f_{CLK}=50MHz$; $f_{OUT}=5.04MHz$; 2MHz 扫宽		73		dBc
$f_{CLK}=140MHz$; $f_{OUT}=5.04$; 4MHz 扫宽		60		dBc
整个谐波失真 (THD)				

参数	最小值	典型值	最大值	单位
$f_{CLK}=50\text{MHz}$; $f_{OUT}=1.00\text{MHz}$; $T_A=25^\circ\text{C}$		66		dBc
$f_{CLK}=50\text{MHz}$; $f_{OUT}=1.00\text{MHz}$; T_{MIN} to T_{MAX}		65		dBc
$f_{CLK}=50\text{MHz}$; $f_{OUT}=2.00\text{MHz}$		64		dBc
$f_{CLK}=100\text{MHz}$; $f_{OUT}=2.00\text{MHz}$		63		dBc
$f_{CLK}=140\text{MHz}$; $f_{OUT}=2.00\text{MHz}$		55		dBc
DAC 性能				
抖动脉冲		10		pVs
DACu 交扰 (crosstalk)		23		dB
数据馈通		22		dB
时钟馈通		33		dB

5V 时序图: ($V_{AA}=5V \pm 5\%$, $V_{REF}=1.235V$, $R_{SET}=560\Omega$, $C_L=10\text{pF}$, 如果没有特别说明, 所有的参数都使用最大温度到最小温度, $T_j=110^\circ\text{C}$)

参数值	最小	典型	最大	单位	条件
模拟输出延时, t_6		5.5		ns	
模拟输出上升/下降沿时间, t_7^4		1.0		ns	
模拟输出过渡时间, t_8^5		15		ns	
模拟输出跳变 t_9^6		1	2	ns	
时钟控制					
f_{CLK}^7	0.5		50	MHz	50MHz Grade
f_{CLK}^7	0.5		140	MHz	140MHz Grade
f_{CLK}^7	0.5		240	MHz	240MHz Grade
数据和控制建立 t_1	1.5			ns	
数据和控制保持 t_2	2.5			ns	
时钟脉宽高 t_4	1.875	1.1		ns	$f_{MAX}=240\text{MHz}$
时钟脉宽低 t_5	1.875	1.25		ns	$f_{MAX}=240\text{MHz}$
时钟脉宽高 t_4	2.85			ns	$f_{MAX}=140\text{MHz}$
时钟脉宽低 t_5	2.85			ns	$f_{MAX}=140\text{MHz}$
时钟脉宽高 t_4	8.0			ns	$f_{MAX}=50\text{MHz}$
时钟脉宽低 t_5	8.0			ns	$f_{MAX}=50\text{MHz}$
Pipeline 延时, t_{PD}^6	1.0	1.0	1.0	时钟周期	
PSAVE 上升沿时间, t_{10}^6		2	10	ns	

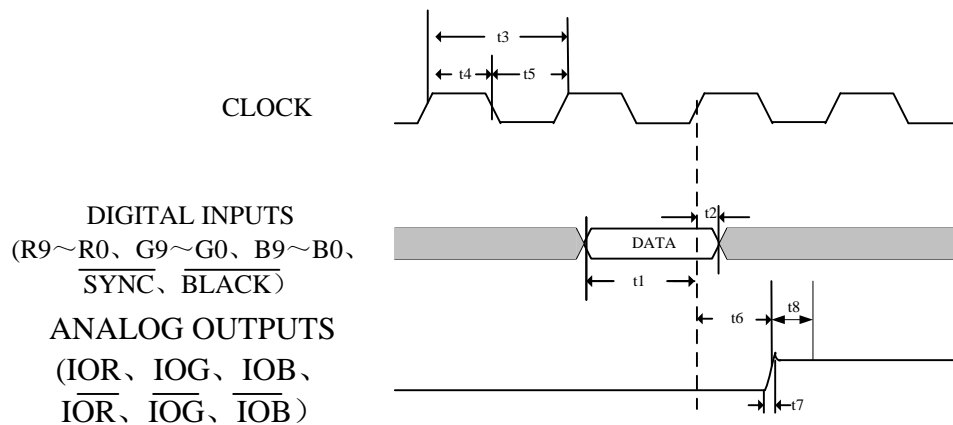


图4. 5V 时序图

3.3V 静态参数: ($V_{AA}=3V\sim 3.6V$, $V_{REF}=1.235V$, $R_{SET}=560\Omega$, $C_L=10pF$, 如果没有特别说明, 所有的参数都适用最大温度到最小温度, $T_j=110^\circ C$)

参数		最小值	典型值	最大值	单位	测试条件
静态性能	分辨率 (每个 DAC)	10			Bits	单调性保证
	积分非线性误差 (INL)	-1	± 0.4	+1	LSB	
	差分非线性误差 (DNL)	-1	± 0.25	+1	LSB	
数字控制输入	输入高电平 (V_{IH})	2			V	$V_{IN}=0.0V$ 或 $V_{IN}=V_{DD}$
	输入低电平 (V_{IL})			0.8	V	
	输入电流 (V_{IN})	-1		+1	μA	
	PSAVE 下拉电流		20		μA	
	输入电容, C_{IN}		10		pF	
模拟输入	输出电流	2.0		26.5	mA	绿色 DAC, Sync=High
	输出电流	2.0		18.5	mA	R/G/B DAC, Sync=Low
	DAC 与 DAC 之间的匹配度		1.0	5	%	
	输入电压余度, V_{OC}	0		+1.4	V	
	输出阻抗, R_{OUT}		100		K Ω	
	输出电容, C_{OUT}		10		pF	$I_{OUT}=0mA$
	失调误差	-0.025		+0.025	%FSR	DAC Output=0 测试
增益误差	-5.0		+5.0	%FSR	FSR=17.62mA	
电压参考范围输出阻抗, V_{REF} (内部和外部)		1.12	1.235	1.35	V	
功耗	数字电源电流		3.4	9	mA	$f_{CLK}=50MHz$
	数字电源电流		10.5	15	mA	$f_{CLK}=140MHz$
	数字电源电流		18	25	mA	$f_{CLK}=240MHz$

参数		最小值	典型值	最大值	单位	测试条件
	模拟电源电流		67	72	mA	$R_{SET}=560\Omega$
	模拟电源电流		8		mA	$R_{SET}=4933\Omega$
	节能电流		2.1	5.0	mA	PSAVE=Low, 数字和控制输入为 VDD
	电源抑制比		0.1	0.5	%	

3.3V 动态参数: ($V_{AA}=3V\sim 3.6V$, $V_{REF}=1.235V$, $R_{SET}=560\Omega$, $C_L=10pF$, 如果没有特别说明, 所有的参数都适用最大温度到最小温度, $T_j=110^\circ C$)

参数	最小值	典型值	最大值	单位
交流线性度				
无失真动态范围 (SFDR) 到奈奎斯特频率				
单端输出:				
$f_{CLK}=50MHz$; $f_{OUT}=1.00MHz$		67		dBc
$f_{CLK}=50MHz$; $f_{OUT}=2.51MHz$		67		dBc
$f_{CLK}=50MHz$; $f_{OUT}=5.04MHz$		63		dBc
$f_{CLK}=50MHz$; $f_{OUT}=20.2MHz$		55		dBc
$f_{CLK}=100MHz$; $f_{OUT}=2.51MHz$		62		dBc
$f_{CLK}=100MHz$; $f_{OUT}=5.04MHz$		60		dBc
$f_{CLK}=100MHz$; $f_{OUT}=20.2MHz$		54		dBc
$f_{CLK}=100MHz$; $f_{OUT}=40.4MHz$		48		dBc
$f_{CLK}=140MHz$; $f_{OUT}=2.51MHz$		57		dBc
$f_{CLK}=140MHz$; $f_{OUT}=5.04MHz$		58		dBc
$f_{CLK}=140MHz$; $f_{OUT}=20.2MHz$		52		dBc
$f_{CLK}=140MHz$; $f_{OUT}=40.4MHz$		41		dBc
双端输出:				
$f_{CLK}=50MHz$; $f_{OUT}=1.00MHz$		70		dBc
$f_{CLK}=50MHz$; $f_{OUT}=2.51MHz$		70		dBc
$f_{CLK}=50MHz$; $f_{OUT}=5.04MHz$		65		dBc
$f_{CLK}=50MHz$; $f_{OUT}=20.2MHz$		54		dBc
$f_{CLK}=100MHz$; $f_{OUT}=2.51MHz$		67		dBc
$f_{CLK}=100MHz$; $f_{OUT}=5.04MHz$		63		dBc
$f_{CLK}=100MHz$; $f_{OUT}=20.2MHz$		58		dBc
$f_{CLK}=100MHz$; $f_{OUT}=40.4MHz$		52		dBc
$f_{CLK}=140MHz$; $f_{OUT}=2.51MHz$		62		dBc
$f_{CLK}=140MHz$; $f_{OUT}=5.04MHz$		61		dBc
$f_{CLK}=140MHz$; $f_{OUT}=20.2MHz$		55		dBc
$f_{CLK}=140MHz$; $f_{OUT}=40.4MHz$		53		dBc
加窗函数后的非失真动态范围				

参数	最小值	典型值	最大值	单位
单端输出				
$f_{CLK}=50\text{MHz}$; $f_{OUT}=1.00\text{MHz}$; 1MHz 扫宽		77		dBc
$f_{CLK}=50\text{MHz}$; $f_{OUT}=5.04\text{MHz}$; 2MHz 扫宽		73		dBc
$f_{CLK}=140\text{MHz}$; $f_{OUT}=5.04$; 4MHz 扫宽		64		dBc
双端输出				
$f_{CLK}=50\text{MHz}$; $f_{OUT}=1.00\text{MHz}$; 1MHz 扫宽		74		dBc
$f_{CLK}=50\text{MHz}$; $f_{OUT}=5.04\text{MHz}$; 2MHz 扫宽		73		dBc
$f_{CLK}=140\text{MHz}$; $f_{OUT}=5.04$; 4MHz 扫宽		60		dBc
整个谐波失真 (THD)				
$f_{CLK}=50\text{MHz}$; $f_{OUT}=1.00\text{MHz}$; $T_A=25^\circ\text{C}$		66		dBc
$f_{CLK}=50\text{MHz}$; $f_{OUT}=1.00\text{MHz}$; T_{MIN} to T_{MAX}		65		dBc
$f_{CLK}=50\text{MHz}$; $f_{OUT}=2.00\text{MHz}$		64		dBc
$f_{CLK}=100\text{MHz}$; $f_{OUT}=2.00\text{MHz}$		64		dBc
$f_{CLK}=140\text{MHz}$; $f_{OUT}=2.00\text{MHz}$		55		dBc
DAC 性能				
抖动脉冲		10		pVs
DACu 交扰 (crosstalk)		23		dBc
数据馈通		22		dBc
时钟馈通		33		dBc

3.3V 时序图: ($V_{AA}=3\text{V}\sim 3.6\text{V}$, $V_{REF}=1.235\text{V}$, $R_{SET}=560\Omega$, $C_L=10\text{pF}$, 如果没有特别说明, 所有的参数都适用最大温度到最小温度, $T_j=110^\circ\text{C}$)

参数值	最小	典型	最大	单位	条件
模拟输出延时, t_6		7.5		ns	
模拟输出上升/下降沿时间, t_7^4		1.0		ns	
模拟输出过渡时间, t_8^5		15		ns	
模拟输出跳变 t_9^6		1	2	ns	
时钟控制					
f_{CLK}^7	0.5		50	MHz	50MHz Grade
f_{CLK}^7	0.5		140	MHz	140MHz Grade
f_{CLK}^7	0.5		240	MHz	240MHz Grade
数据和控制建立 t_1	1.5			ns	
数据和控制保持 t_2	2.5			ns	
时钟脉宽高 t_4	1.875	1.1		ns	$f_{MAX}=240\text{MHz}$
时钟脉宽高 t_5	1.875	1.25		ns	$f_{MAX}=240\text{MHz}$
时钟脉宽高 t_4	2.85			ns	$f_{MAX}=140\text{MHz}$
时钟脉宽高 t_5	2.85			ns	$f_{MAX}=140\text{MHz}$
时钟脉宽高 t_4	8.0			ns	$f_{MAX}=50\text{MHz}$

参数值	最小	典型	最大	单位	条件
时钟脉宽高 t_5	8.0			ns	$f_{MAX}=50MHz$
Pipeline 延时, t_{PD}^6	1.0	1.0	1.0	时钟周期	
PSAVE 上升沿时间, t_{106}		2	10	ns	

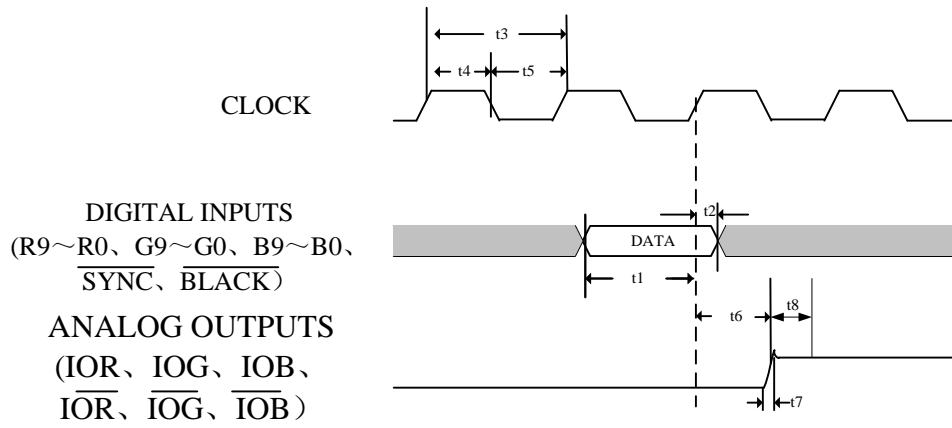


图5. 3.3V 时序图

电路描述

CS7123 包含了三路 10 位 D/A 转换器，有三个通道，每个通道有一个 10 位的寄存器。

数字输入：

30 位像素数据（颜色信息）R0-R9, G0-G9, B0-B9 在时钟上升沿来时被锁存。这些数据送入到三路 10 位 DAC，然后被转换成三个模拟输出。参照下图：

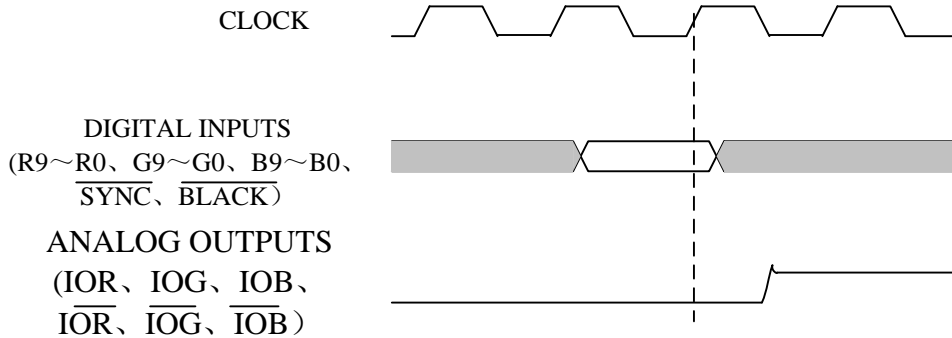
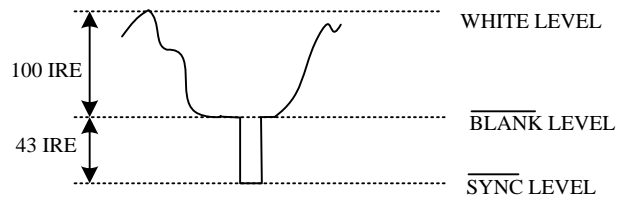


图6. CS7123 时序图

CS7123 有两个附加控制信号，同样以类似的方法，被锁存后，送到模拟输出。BLANK 和 SYNC 都是在时钟上升沿被锁存，保证视频数据流的同步。

BLANK 和 SYNC 通过在模拟输出端加了一个加权电流将同步信号加入到模拟输出中。这个电流的有无，由 BLANK 和 SYNC 逻辑输入判定。图 7 说明了 CS7123 的模拟输出和 RGB 信号的波形。BLANK 和 SYNC 对模拟输出的影响见图 7。表 2 详细说明了 BLANK 和 SYNC 对模拟输出的影响。所有的数字输入与 TTL 兼容。

RED,BLUE		GREEN	
mA	V	mA	V
18.62	0.7	26.67	1.000
0		8.05	0.3
		0	0



注：1) 输出负载双端 75Ω；
2) VREF=1.235V, RSET=530Ω。

图7. RGB 视频输出波形

表2. 视频输出真值表 (RSET=530Ω, RLOAD=37.5Ω)

描述	IOG(mA)	IOG(mA)	IOB/IOR	IOB / IOR	SYNC	BLANK	DAC 输入数据
WHITE LEVEL	26.67	0	18.62	0	1	1	3FFH
VIDEO	Video+	18.62-	Video	18.62-Video	1	1	Data

描述	IOG(mA)	$\overline{\text{IOG}}$ (mA)	IOB/IOR	$\overline{\text{IOB}}/\overline{\text{IOR}}$	$\overline{\text{SYNC}}$	$\overline{\text{BLANK}}$	DAC 输入 数据
	8.05	Video					
VIDEO to BLANK	Video	18.62- Video	Video	18.62-Video	0	1	Data
BLACK LEVEL	8.05	18.62	0	18.62	1	1	000H
BLACK to BLANK	0	18.62	0	18.62	0	1	000H
BLANK LEVEL	8.05	18.62	0	18.62	1	0	xxxH
SYNC LEVEL	0	18.62	0	18.62	0	0	xxxH

时钟输入:

CS7123 的输入时钟是系统的典型像素时钟率。也就是人们说的点率 (dot rate)。点率以及因此所要求的时钟频率由荧幕分辨率决定, 根据下面的方程:

$$\text{Dot Rate} = (\text{Horz Res}) \times (\text{Vert Res}) \times (\text{Refresh Rate}) / (\text{Retrace Factor})$$

Horiz Res = Number of Pixels/line.(行的像素数目)

Vert Res = Number of Pixels/Frame.(帧的像素数目)

Refresh Rate = 水平扫描速度。这是屏幕刷新所要求的速度, 对于逐行扫描系统而言典型值为 60Hz, 对于隔行扫描而言为 30Hz。

Retrace factor = 灰电平的时间系数。这必须考虑每一帧的时间中的某一特定部分显示是空白的。例如 0.8

因此, 假如有一个 1024×1024 的图像系统, 逐行扫描 60Hz 的刷新率, 回归因子 0.8。那么

$$\begin{aligned} \text{Dot Rate} &= 1024 \times 1024 \times 60 / 0.8 \\ &= 76.8\text{MHz} \end{aligned}$$

所要求的时钟频率是 76.8MHz。所有的视频数据在时钟上升沿被锁存到 CS7123, 正如数字输入章节所描述的样。推荐: 进入 CS7123 的时钟由 TTL 缓冲器驱动。例如 74F244

视频同步和控制

CS7123 有一个单独的视频同步控制输入 SYNC, 许多图像处理器和显示控制器都能产生水平控制同步信号的 (HSYNC) 和垂直控制同步信号的 (VSYNC) 以及两者的复合同步信号 SYNC。

如果图像系统不能自动产生复合同步信号, 一些附加逻辑能够产生复合信号 SYNC。

同步信号电流在 CS7123 内部直接与 IOG 输出相连, 因此视频同步信息将直接进入绿色信道。

如果不需要把同步信号信息, 则 SYNC 输入端应该与逻辑低相连。

参考输入:

CS7123 包括了一个片内电压参考源 V_{REF} 。通常情况下, V_{REF} 端与电源端之间接一个 0.1uF 的电容。如果需要的话, 可以在外面强加 1.23V 的参考。(AD1580)

电阻 R_{SET} 连接在 R_{SET} 管脚与地之间，决定视频输出的幅度。根据方程：

$$IOG = 11.445 \times V_{REF} / R_{SET} \quad (\text{有同步信号时})$$

$$IOB, IOR = 7.992 \times V_{REF} / R_{SET}$$

当使用一个可以调整的 R_{SET} 时，如图 10 所示，可以对模拟视频输出作精确调整。

D/A 转换器：

CS7123 拥有三路匹配得非常的好的 10 位 D/A 数模转换器。数模转换器使用了高速分段结构来设计。与每一个数字输入相对应的位电流根据复杂的编码方案流到模拟输出 (bit=“1”) 或者模拟地 (bit=“0”)。所有的电路都被集成到一个芯片上，三路 DAC 之间的匹配已经做了优化。除了良好的匹配之外，芯片内理想的恒流源也保证了单调性和较小的毛刺。片内运放保证了满刻度输出电流不受温度和电源变化的影响。

模拟输出：

CS7123 有三路模拟输出，有红色、绿色、蓝色视频信号。CS7123 的红色、绿色和蓝色模拟输出是高阻抗电流源。RGB 电流源的每一个都能直接驱动 37.5Ω 的负载，比如象双摺端 75Ω 的同轴电缆。图 8 显示当三路 RGB 输出直接与一个双端 75Ω 同轴电缆相连时候的情况。此时通过一个 75Ω 的监视器可以产生 RS-343A 格式视频输出电平。

驱动 RS-170 视频电平进入 75Ω 监视器的一个建议方案如图 9。DAC 输出的电流电平将保持不变，但是三个 DAC 输出端的匹配阻抗 Z_S ，将从 75Ω 增至到 150Ω 。

关于不同输出结构，包括 RS-343A 和 RS-170，负载端更详细的情况可以参照 DA 公司出版的“Video Formats & Required Load Terminations”应用手册。

图 7 显示了三路 RGB 输出驱动如图 8 所示的双端 75Ω 负载时的视频波形。除了灰度级，从黑电平到白电平，该图同时也显示了 SYNC 和 BLANK 对输出电平的影响。这些控制输入通过加入加权电流到模拟输出来产生不同视频应用需要所需的模拟电平。表 2 详细说明了 SYNC 和 BLANK 输入是如何影响输出电平的。

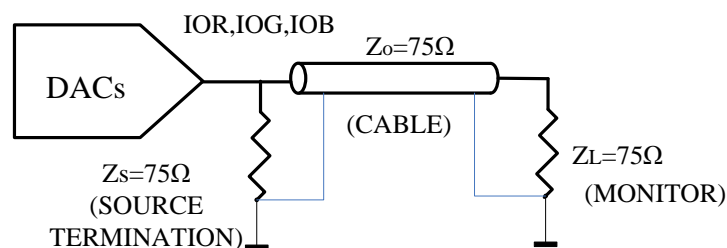


图8. 针对 RS-343A 的模拟输入终端

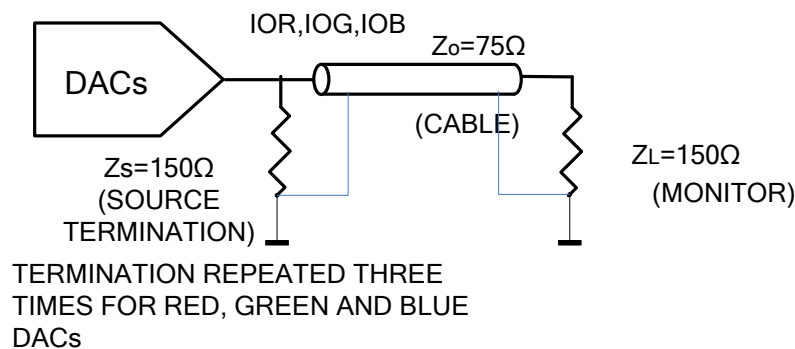


图9. 针对 RS-170A 的模拟输入终端

单色应用:

CS7123 可以用于单一，单色或者复合视频信号（例如：仅仅用于一个通道视频信息）场合。三个通道（RED, GREEN, BLUE）的任何一个都可以用于输入数字视频数据。两个不用的视频数据信道都应该与逻辑 0 相连。不用的模拟输出应该与使用的输出接一样的负载。换言之，如果红色通道使用，那么当 IOR 应该连接双端的 75Ω 负载（37.5Ω）时，IOB 和 IOG 应该同样与 37.5Ω 的电阻相连。

视频输出缓冲器:

CS7123 主要用来驱动传输线负载，大多数情况下这个负载是显示器。驱动这样的负载的模拟输出结构，在模拟接口章节，已经作了描述。在某些应用中，它可能用来驱动长的传输线电缆。长于 10 米的电缆可能会对高频模拟输出脉冲衰减。可以使用输出缓冲器来减小这些衰减。这些缓冲器要求大的满功率带宽，而增益则要求在 2 到 4 之间。这些缓冲器要求在整个输出电压摆幅都能够提供足够的输出驱动电流。AD 公司生产的一系列的运放能够满足这些要求，包括 AD84x 系列的单片运放。在较高的频率下，如（80MHz），推荐 AD9617。在运放相关数据资料里提供有关线路驱动缓冲电路的更多信息。

缓冲运放的使用，也必须满足除了 RS-343A 和 RS-170 之外的其它视频标准。改变缓冲电路的增益器件应满足所要求的视频电平。

PCB 的考虑

CS7123 是针对最低噪声性能优化设计的，包括辐射和传输干扰噪声。为了实现 CS7123 的最优噪声性能，对 PCB 的设计必须特别注意。图 10 显出了 CS7123 的推荐连接图。对于 CS7123 的电源和地线上的噪声应该优化。可以通过屏蔽数字输入和提供好的去耦来达到这一点。VAA 和 GND 的引线长度应该尽量短，这个可以减小环路电感。

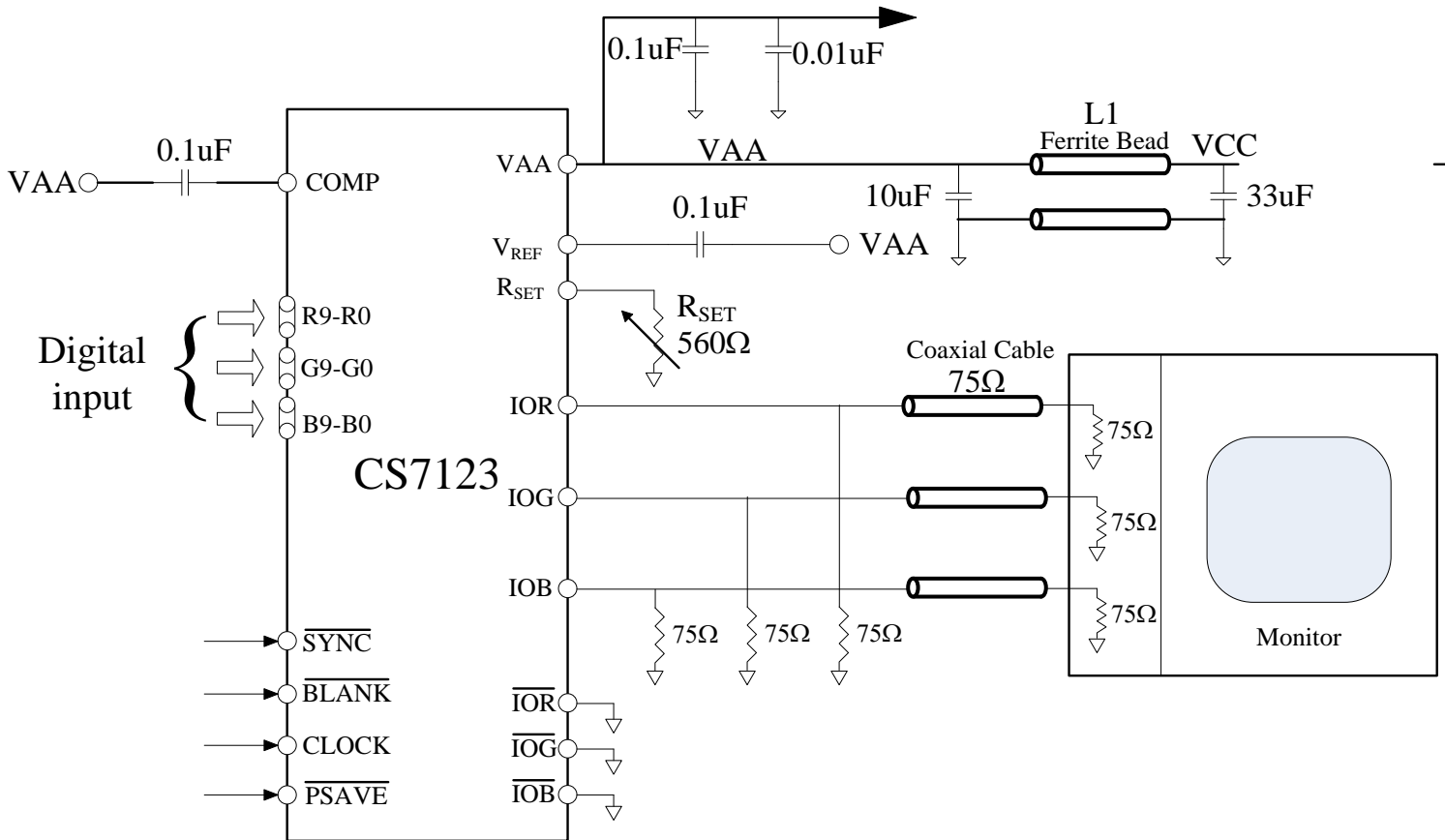


图10. CS7123 典型应用电路图

地平面:

CS7123 和相关的模拟电路应该有独立的模拟地。地线应该通过一个铁氧体磁珠与 PCB 的地在一点处相连。可参照图 10。这个磁珠应该尽可能的靠近 CS7123。(如三英寸)

电源面:

PCB 板应该有两个独立的电源线，一个是模拟电源，一个是数字电源。模拟电源供 CS7123 的 (VAA) 和所有的其它相关模拟电路使用。电源面的一端应该通过一个铁氧珠与 PCB 板电源相连，见图 10。这个铁氧体应该离 CS7123 在三英寸以内。

PCB 板的电源面，应该为所有的数字逻辑电路提供电源；模拟电源面应该为 CS7123，电压参考电路，和其它输出运放提供电源。

PCB 的电源和地平面不应该覆盖模拟电源区域。保证 PCB 的电源和地与模拟电源分开，这样可以减

少面与面之间的噪声耦合。

电源去耦:

模拟电源的噪声可以通过多个去耦电容的使用进一步减少。参见图 10

使用 0.1 μ F 的陶瓷电容可以得到最佳性能。两组电源 (VAA) 应该分别到地去耦。电容应该尽可能的靠近器件, 并且电容的引线应该尽可能的短, 这样可以减小引线电容。

需要说明的是: 虽然 CS7123 抑制电源噪声的电路, 但是这个抑制是随着频率的增加而减小。如果使用的是高频开关电源, 设计者应该努力减少电源噪声。

DC 电源滤波器 (Murata BNX002) 可以在开关电源和 PCB 的主电源之间提供 EMI (电磁干扰) 抑制。另外, 也可以考虑使用一个三端电源调整器。

数字信号的相互连接:

到 CS7123 的数字信号线, 应该尽可能的与模拟输出和其它模拟电路分开。数字信号线不应该覆盖到模拟电源平面。

由于使用的时钟频率比较高, 因此到 CS7123 时钟线应该尽量短, 这样可以减小时钟的引入的噪声。针对数字信号的上拉电阻应该与整个的 PCB 电源 (VCC) 相连, 而不是和模拟电源平面相连。

模拟信号的互连:

CS7123 应该尽可能的靠近输出端, 这样可以减少由于阻抗的不匹配而引起的噪声和抖动及反射。

视频输出信号应该由地平面覆盖, 而不是由模拟电源平面覆盖, 这样可以增大高频电源抑制比。

为了优化性能, 每一个模拟输出应该有一个到地的源端电阻 (75 Ω)。这个终端的电阻应该尽可能的离 CS7123 近, 这样可以减小反射。

PCB 的设计其它附带标题为 “Design and layout of a Video Graphics System for Reduced EMI.” 应用手册有说明。应用手册来自于 AD 公司, 版号为 No.E1309-15-10/89