CS1252 用户手册

Rev 1.0

通讯地址：深圳市南山区蛇口南海大道 1079 号花园城数码大厦 A 座 9 楼
邮政编码：518067
公司电话：+(86 755)86169257
传　　真：+(86 755)86169057
公司网站：www.chipsea.com

历史修改记录

时间	记录	版本号
2012-12-19	更换新 LOGO	1.0

目 录

历史修改记录 2
目 录 3
1 芯片功能说明 5
1.1 芯片主要功能特性 5
1.2 芯片应用场合 5
1.3 芯片基本结构描述 6
2 芯片特性说明 7
2.1 芯片最大极限值 7
2.2 直流特性 8
2.3 性能指标 9
2.4 芯片时序特性 11
2.4.1 控制寄存器时序特性 11
2.4.2 主模式时序特性 12
2.4.3 从模式时序特性 13
2.5 芯片引脚 14
3 芯片功能模块描述 16
3.1 控制寄存器说明 16
3.2 输出数据格式 18
3.3 芯片应用 19
3.3.1 芯片主模式应用范例 19
3.3.2 芯片从模式应用范例 19
3.3.3 多通道数据采集系统应用 20
3.3.4 多带宽系统应用 21
4 芯片封装 22

图 目 录

图 1 芯片原理框图 6
图 2 控制寄存器时序 11
图 3 主模式时序图 12
图 4 从模式时序图 13
图 5 封装引脚图 14
图 6 主模式应用 19
图 7 从模式应用 19
图 8 八通道数据采集系统 20
图 9 多带宽系统 21
图 10 LQFP32 封装 22

表 目 录

表 1 CS1253 最大极限值 7
表 2 CS1253 直流特性 8
表 3 CS1253 性能指标 9
表 4 动态范围、输出码率、RMS 噪声、滤波器建立时间 vs.滤波器截止频率 10
表 5 控制寄存器时序表 11
表 6 主模式时序表 12
表 7 从模式时序表 13
表 8 芯片封装管脚描述 14
表 9 模式控制寄存器说明 16
表 10 M0 真值表 17
表 11 截止频率真值表 17
表 12 输出数据格式 18
表 13 通道地址格式 18

1 芯片功能说明

1.1 芯片主要功能特性

- 22-bit Sigma-Delta ADC
- 100dB 的动态范围（73Hz 输入）
- ±0.006%的 INL
- 片内低通数字滤波，可编程截止频率从 584Hz 到 36.5Hz，
- 支持 5V 电压应用，也支持 3.3V 电压应用
- 低功耗操作 50mW
- 软件控制滤波器截止频率
- 通用的 SPI 接口
- 支持级联，最多支持 8 片级联

1.2 芯片应用场合

- 生物医学数据采集、心电图仪、脑电图仪
- 加工控制
- 高精度设备
- 地震分析仪

1.3 芯片基本结构描述

芯片 CS1253 是数据采集处理芯片。它能够同时处理四个带宽上限至 584Hz 的信号，22 位的有效精度，信号动态范围从 91dB(截止频率 584Hz)到 103dB(截止频率 36.5Hz)。

芯片包括四个独立的 A/D 转换通道，通道采用 Sigma-Delta 技术。

片内有一个 16 位的控制寄存器，通过引脚 SCLK、SDATA、TFS 实现配置。其中控制寄存器的三个比特用来设置片内数字滤波器的截止频率，截止频率有五种可选：584Hz, 292Hz, 146Hz, 73Hz，36.5 Hz。

芯片有三个地址引脚，最多支持 8 片级联，这样数据采集系统最高可以同时采集 32 个信号。芯片通过引脚 CASCIN 和引脚 CASCOUT 进行级联操作。

芯片采用 32 脚的 LQFP 封装。

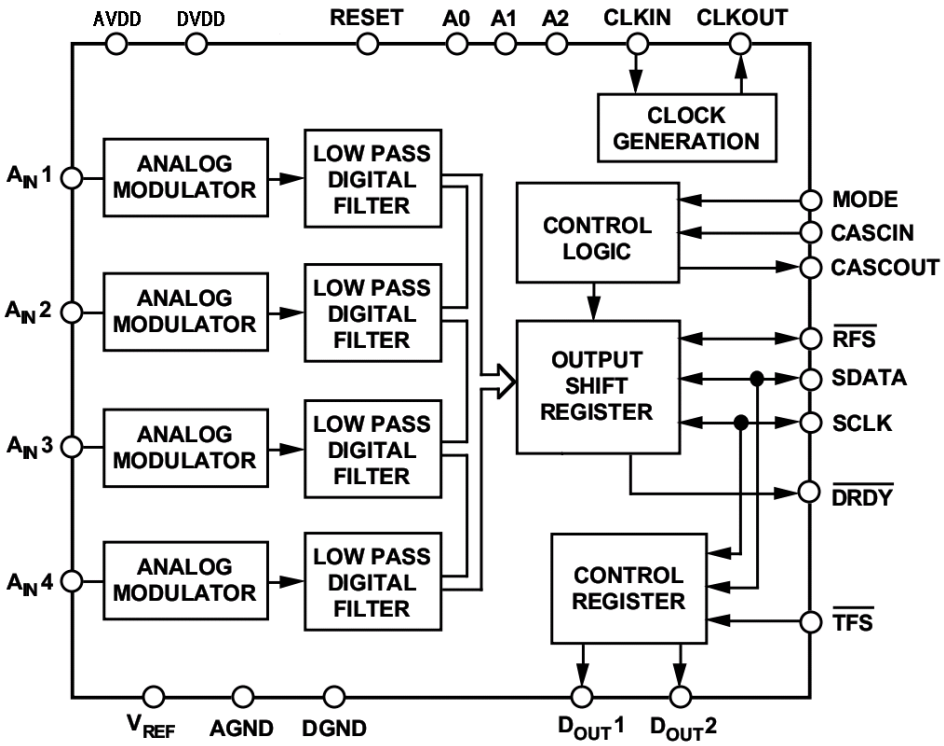

图1 芯片原理框图

2 芯片特性说明

2.1 芯片最大极限值

表1 CS1253 最大极限值

参数	范围	单位
AVDD to AGND	-0.3~+7	V
DVDD to DGND	-0.3~+7	V
AVDD to DVDD	-0.3~+0.3	V
AGND to DGND	-0.3~+0.3	V
模拟输入到 AGND	-1/2AVDD-0.3~1/2AVDD+0.3	V
数字输入到 DGND	-0.3~DVDD+0.3	V
数字输出到 DGND	-0.3~DVDD+0.3	V
工作温度范围	-40~85	℃
存储温度范围	-55~+150	℃
焊接温度、时间	220℃，10 秒	

2.2 直流特性

表2 CS1253 直流特性

参数	符号	典型值	单位	说明
模拟电源	AVDD	4.75	V Min	VREF=AVDD/2。模拟信号输入范围是±AVDD/2。3.3V 应用中，AVDD=DVDD=3.3V±0.3V。
		5	V Typ	
		5.25	V Max	
数字电源	DVDD	4.75	V Min	
		5	V Typ	
		5.25	V Max	
逻辑输出高电平电压	VOH	≥2.4	V	|IOUT|≤40μA
逻辑输出低电平电压	VOL	≤0.4	V	|IOUT|≤1.6mA
逻辑输入高电平	VIH	≥2.4	V	
逻辑输入低电平	VIL	≤0.8	V	
SDATA 端输入高电平电流	IIH_*SDATA*	≤+10	uA	内部到 5V 有 50k 上拉电阻，工作电源是 3.3V
SDATA 端输入低电平电流	IIL_*SDATA*	≥-130	uA	
$\overline{\text{RFS}}$ 端输入高电平电流	IIH_$\overline{\text{RFS}}$	≤+10	uA	内部到 5V 有 50k 上拉电阻，工作电源是 3.3V
$\overline{\text{RFS}}$ 端输入低电平电流	IIL_$\overline{\text{RFS}}$	≥-130	uA	
$\overline{\text{TFS}}$ 端输入高电平电流	IIH_$\overline{\text{TFS}}$	≤+10	uA	工作电源是 3.3V
$\overline{\text{TFS}}$ 端输入低电平电流	IIL_$\overline{\text{TFS}}$	≥-650	uA	
SCLK 端输入高电平电流	IIH_*SCLK*	≤+10	uA	主模式时工作电源是 3.3V
SCLK 端输入低电平电流	IIL_*SCLK*	≥-10	uA	
逻辑输入高电平电流	IIH	≤+10	uA	除 SDATA、$\overline{\text{RFS}}$、$\overline{\text{TFS}}$之外
逻辑输入低电平电流	IIL	≥-10	uA	
电源电流	IDD	12	mA	
功耗	PD	60	mW	

2.3 性能指标

表3 CS1253 性能指标

参数名称	参数符号		单位	典型值	测试条件（注 1）
分辨率	Resolution		Bit	22	
积分线性误差	E_L	1 通道	%FSR	-0.006～0.006	注 2
		2 通道			
		3 通道			
		4 通道			
增益误差	E_G	1 通道	%FSR	−0.1～0.1	
		2 通道			
		3 通道			
		4 通道			
通道间增益匹配度	M_G		%FSR	−0.1～0.1	
增益温度系数	α_{EG}	1 通道	μV/℃	25	
		2 通道			
		3 通道			
		4 通道			
失调误差	E_O	1 通道	%FSR	−0.02～0.02	
		2 通道			
		3 通道			
		4 通道			
通道间失调匹配度	M_O		%FSR	−0.05～0.05	
失调温度系数	α_{EO}	1 通道	μV/℃	8	
		2 通道			
		3 通道			
		4 通道			
噪声电压	V_{en}	1 通道	μV rms	7	注 2
		2 通道			
		3 通道			
		4 通道			
总谐波失真	*THD*	1 通道	dB	-80	注 3
		2 通道			
		3 通道			
		4 通道			
通道隔离度	*ISO*	1 通道	dB	-82	注 4

		2 通道			
		3 通道			
		4 通道			
模拟输入端输入电压	V_I	1 通道	V	-VREF～+VREF	
		2 通道			
		3 通道			
		4 通道			
模拟输入端输入电容	C_I	1 通道	pF	12	注 2
		2 通道			
		3 通道			
		4 通道			
电源抑制比	*PSSR*		dB	-60	注 5
输出刷新率	f_A		Hz	279	注 6
动态范围	见表 1				

注 1：除另外有规定外，VDDA=VDDD=5V±5%，VREF=2.5V，fCLKIN=8MHZ，截止频率=73HZ，噪声测试带宽 BW=73HZ，-40℃≤TA≤85℃

注 2：TA=25℃

注 3：输入频率为 35HZ，TA=25℃

注 4：某一通道输入 VP-P=5V,频率为 35HZ 正弦波时，该通道馈通到其它三通道的幅度

注 5：100mVp-p,120Hz 正弦波加于电源，TA=25℃

注 6：fCLKIN/(14×256×2N) ，TA = 25℃

表4 动态范围、输出码率、RMS 噪声、滤波器建立时间 vs.滤波器截止频率

N	截至频率（Hz）	输出码率（Hz）	动态范围（dB）	RMS 噪声（μV）	滤波器到±0.0007%FS 的建立时间（ms）	绝对群延迟（ms）
0	584	2232	99	21	1.35	0.675
1	292	1116	102	14	2.7	1.35
2	146	558	105	10	5.4	2.7
3	73	279	108	7	10.8	5.4
4	36.5	140	111	5	21.6	10.8

2.4 芯片时序特性

2.4.1 控制寄存器时序特性

条件（AVDD=DVDD=5V±5%，AGND=DGND=0V，fCLKIN=8MHz，输入低电平=0V，输入高电平=DVDD，CLKIN 占空比 40%到 60%，所有输入信号指定 tr=tf=5ns，Temp=25℃）

表5 控制寄存器时序表

参数	规范值	单位	说明
t1	$1/f_{CLKIN}$	ns min	SCLK 周期
t2	77	ns min	SCLK 宽度
t3	30	ns min	$\overline{TFS}$ 建立时间
t4	20	ns min	SDATA 建立时间
t5	10	ns min	SDATA 保持时间
t6	20	ns min	$\overline{TFS}$ 保持时间

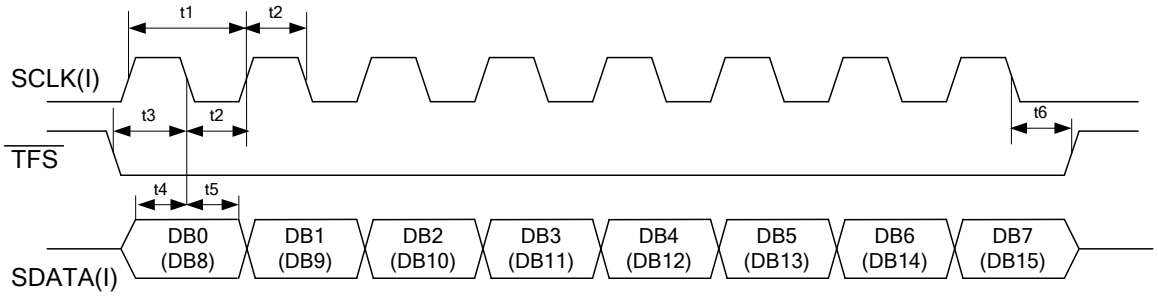

图2 控制寄存器时序

2.4.2 主模式时序特性

条件（AVDD=DVDD=5V±5%，AGND=DGND=0V，fCLKIN=8MHz，输入低电平=0V，输入高电平=DVDD，CLKIN 占空比 40%到 60%，所有输入信号指定 tr=tf=5ns，Temp=25℃）

表6 主模式时序表

参数	规范值	单位	说明
fCLKIN	400	kHz min	CLKIN 频率
	8	MHz max	
tr	40	ns max	数字输出上升沿时间，典型值 20ns
tf	40	ns max	数字输出下降沿时间，典型值 20ns
t7	1/fCLKIN	ns min	CASCIN 脉冲宽度
t8	1/fCLKIN	ns min	CASCIN 到 $\overline{\text{DRDY}}$ 建立时间
t9	1/2fCLKIN+30	ns max	$\overline{\text{DRDY}}$ 低到 SCLK 低电平延迟
t10	50	ns max	CLKIN 高到 $\overline{\text{DRDY}}$ 低，SCLK 有效，$\overline{\text{RFS}}$ 有效延迟
t11	40	ns max	CLKIN 高到 SCLK 高电平延迟
t12	50	ns min	SCLK 宽度
t13	1/fCLKIN	ns	SCLK 周期
t14	40	ns max	SCLK 高到 $\overline{\text{RFS}}$ 高电平延迟
t15	1/fCLKIN	ns	$\overline{\text{RFS}}$ 脉冲宽度
t16	45	ns max	SCLK 高到 $\overline{\text{DRDY}}$ 有效值延迟
t17	1/2fCLKIN+50	ns max	SCLK 低到 $\overline{\text{DRDY}}$ 高阻延迟
	1/2fCLKIN+10	ns min	
t18	1/2fCLKIN+60	ns max	CLKIN 高到 $\overline{\text{DRDY}}$ 高电平延迟
t19	50	ns max	CLKIN 高到 $\overline{\text{RFS}}$ 高阻，SCLK 高阻延迟
	20	ns min	
t20	1/2fCLKIN+50	ns max	SCLK 低到 CASCOUT 高电平的延迟
t21	2/fCLKIN	ns	CASCOUT 脉冲宽度

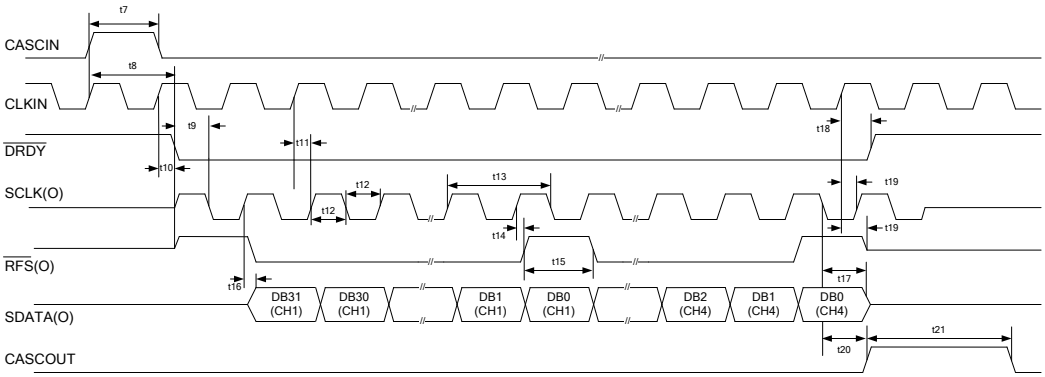

图3 主模式时序图

2.4.3 从模式时序特性

条件（AVDD=DVDD=5V±5%，AGND=DGND=0V，fCLKIN=8MHz，输入低电平=0V，输入高电平=DVDD，CLKIN 占空比 40%到 60%，所有输入信号指定 tr=tf=5ns，Temp=25℃）

表7 从模式时序表

参数	规范值	单位	说明
fCLKIN	400	kHz min	CLKIN 频率
	8	MHz max	
tr	40	ns max	数字输出上升沿时间，典型值 20ns
tf	40	ns max	数字输出下降沿时间，典型值 20ns
t23	1/fCLKIN	ns min	CASCIN 脉冲宽度
t24	50	ns min	SCLK 宽度
t25	125	ns min	SCLK 周期
t26	1/fCLKIN+30	ns min	CASCIN 高到$\overline{RFS}$建立时间
t27	30	ns min	$\overline{RFS}$低到 SCLK 高电平建立时间
t28	50	ns max	SCLK 高到$\overline{DRDY}$有效值延迟
t31	60	ns max	SCLK 高到 CASCOUT 高电平延迟
t32	2/fCLKIN	ns max	CASCOUT 脉冲宽度

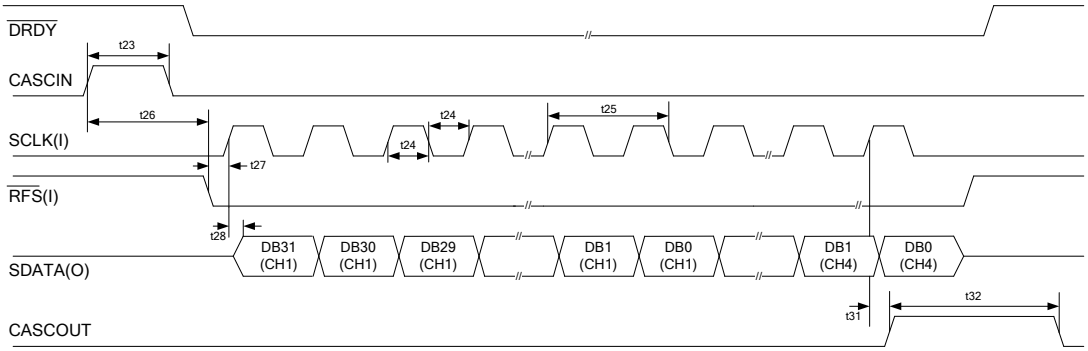

图4 从模式时序图

2.5 芯片引脚

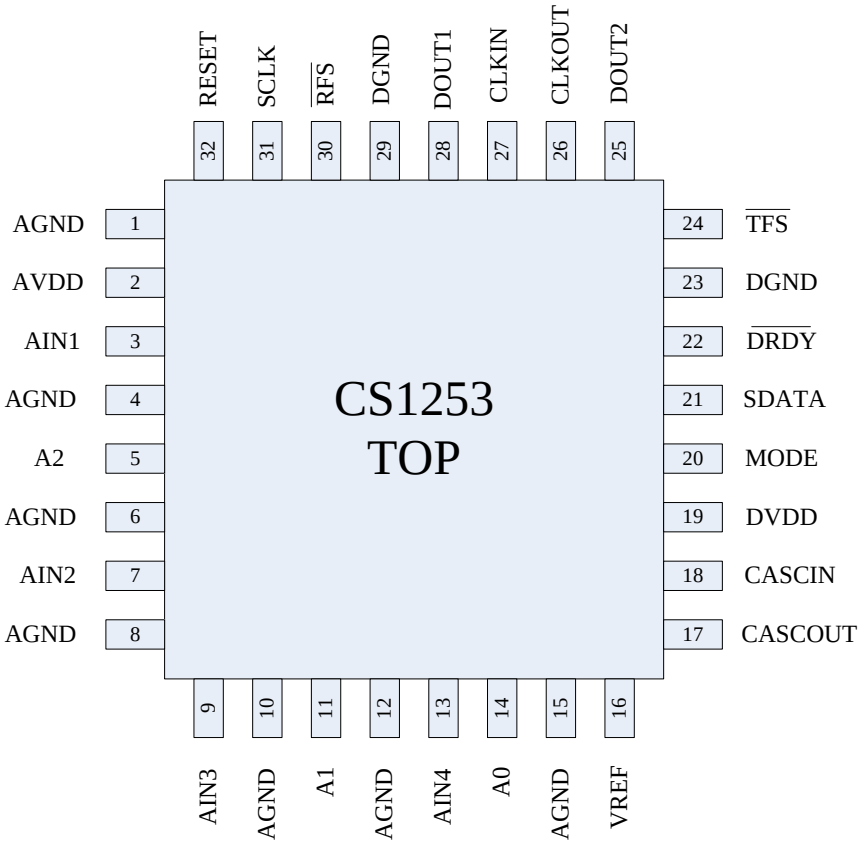

图5 封装引脚图

表8 芯片封装管脚描述

管脚序号	IO	符号	管脚描述
1	P	AGND	模拟地
2	P	AVDD	模拟电源
3	IA	Ain1	通道 1 输入
4	P	AGND	模拟地
5	I	A2	芯片地址信号输入
6	P	AGND	模拟地
7	IA	AIN2	通道 2 输入
8	P	AGND	模拟地
9	IA	AIN3	通道 3 输入
10	P	AGND	模拟地
11	I	A1	芯片地址信号输入
12	P	AGND	模拟地
13	IA	AIN4	通道 4 输入
14	I	A0	芯片地址信号输入
15	P	AGND	模拟地
16	IA	VREF	正参考电压

管脚序号	IO	符号	管脚描述
17	O	CASCOUT	数字信号输出，当 4 个通道数据输出完成时，CASCOUT 变成高电平，持续两个系统时钟周期
18	I	CASCIN	数字信号输入，用来使能数据流输出。
19	P	DVDD	数字电源
20	I	MODE	工作模式选择信号： =0，为主模式；=1，为从模式
21	I/O	SDATA	串口数据输入/输出
22	O	$\overline{\text{DRDY}}$	数据准备输出。
23	P	DGND	数字地
24	I	$\overline{\text{TFS}}$	片上控制寄存器时的帧同步输入信号
25	O	DOUT2	数字信号输出，用来检测控制寄存器是否配置成功
26	O	CLKOUT	时钟输出脚： 使用无源晶振时与 CLKIN 配合，外接 22pF 电容；使用有源晶振时引脚浮空
27	I	CLKIN	外部时钟输入： 使用无源晶振时需要与 CLKOUT 配合，外接 22pF 电容；使用有源晶振时直接接有源晶振的时钟输出脚
28	O	DOUT1	数字信号输出，用来检测控制寄存器是否配置成功
29	P	DGND	数字地
30	I/O	$\overline{\text{RFS}}$	接收帧同步信号
31	I/O	SCLK	串口时钟输入/输出
32	I	RESET	同步复位 DSP 信号，一般用于级联时同步信号输出

3 芯片功能模块描述

3.1 控制寄存器说明

控制寄存器是 16 位的寄存器，分两个字节编写，低字节先编写，高字节后编写。数据载入格式是先低位（DB0 或者 DB8）后高位（DB7 或者 DB15）。通过三条控制线($\overline{TFS}$、SCLK、SDATA)实现通信。CS1253 上电初始，控制寄存器处于不确定状态。控制寄存器需要通过 SCLK、$\overline{TFS}$、SDATA 进行配置，否则 CS1253 不会输出 $\overline{DRDY}$。引脚 MODE 定义芯片是工作在主模式还是从模式。在上述两种模式中，$\overline{TFS}$ 的下降沿导致芯片放弃对 SDATA 和 SCLK 的控制，SDATA 和 SCLK 变为输入端。当 $\overline{TFS}$ 变低时，SDATA 线上的数据在 SCLK 下降沿送到芯片的控制寄存器中。当输入 8 比特数据之后，传输自动停止。当下一个 $\overline{TFS}$ 下降沿来时，继续剩下 8 比特数据的传输。仅当 DB8 等于 1 并且 DB0 等于 0 时，控制寄存器才确认输入的数据是有效的。控制寄存器列表见表 9。

控制寄存器 DB15(Enable)是编程控制寄存器使能信号，它必须设置成 1 来使能 CS1253 控制寄存器的编程。如果设置成 0，编成的控制寄存器字被忽略，这样允许用户跳过 CS1253 寄存器，让 DSP 或 MCU 使用串行码编辑其它串行的外围设备。

当一个有效的控制寄存器字接受后，芯片询问 M0 比特。如果 M0 等于 0，当芯片地址脚对应控制寄存器中 A2、A1、A0 的值，数字滤波器截止频率按照 FC2、FC1、FC0 编程；当芯片地址脚不对应控制寄存器中 A2、A1、A0 的值，FC2、FC1、FC0 的值将被忽略。如果 M1 等于 1，数字滤波器截止频率按照 FC2、FC1、FC0 编程而不用考虑控制寄存器中 A2、A1、A0 的值。在多通道应用中，允许用户所有 CS1253 都使用相同的截止频率或者给不同地址的 CS1253 不同的截止频率。

控制寄存器比特 FC2、FC1、FC0 控制数字滤波器截止频率见表 11。

控制寄存器比特 D2、D1 控制数字输出脚 DOUT2、DOUT1。

表9 模式控制寄存器说明

控制寄存器	说明
DB0（0）	只有当 DB8=1 同时 DB0=0 时，才认为一个完成的字节被编辑了
DB1（X）	
DB2（X）	
DB3（X）	
DB4（X）	
DB5（DOUT1）	控制数字输出脚 DOUT1
DB6（DOUT2）	控制数字输出脚 DOUT2
DB7（FC0）	控制数字滤波器截止频率
DB8（1）	只有当 DB8=1 同时 DB0=0 时，才认为一个完成的字节被编辑了

DB9（FC1）	控制数字滤波器截止频率
DB10（FC2）	控制数字滤波器截止频率
DB11（M0）	编程模式
DB12（A0）	芯片地址
DB13（A1）	芯片地址
DB14（A2）	芯片地址
DB15（A3）	编程控制寄存器使能信号

表10 M0 真值表

M0	**可编程模式**
0	对外部引脚地址={A2,A1,A0}的芯片的控制寄存器进行配置
1	忽略芯片外部引脚地址，配置芯片的控制寄存器

表11 截止频率真值表

FC2	**FC1**	**FC0**	**截止频率（Hz）**
0	0	0	584
0	0	1	292
0	1	0	146
0	1	1	73
1	0	0	36.6
1	0	1	
1	1	0	
1	1	1	

3.2 输出数据格式

CS1253 输出数据是 128 位的，包含了 4 个通道的数据，通道数据顺序是：通道 1、通道 2、通道 3、通道 4，每个通道 32 位。这 32 位的数据格式如表 12 和表 13 所示，DA[21:0]是有符号数据，OVFL 是溢出标志位，当输入信号范围超出- VREF ~+ VREF 时，OVFL 会被置为 1，如果输入信号 U 在-VREF~+ VREF 的范围内，OVFL=0，DA[21:0]寄存器值：

如果 U>=0，DA[21:0] = INT[U/VREF*2^21];

如果 U<=0，DA[21:0] = INT[2^22+U/VREF*2^21];

如果输入信号 U 超出- VREF ~+ VREF 的范围，OVFL=1，DA[21:0]寄存器值：

如果 U>=0，DA[21:0] = INT[(U - VREF)/VREF*2^21];

如果 U<=0，DA[21:0] = INT[2^22+(U+VREF)/VREF*2^21];

表12 输出数据格式

DB31…DB10	DB9、DB8	DB7、DB6、DB5	DB4	DB3	DB2、DB1、DB0
DB21…DB0 数据转换结果	CA0、CA1 通道地址	A0、A1、A2 芯片地址	0	OVFL 溢出标志位	3’b000

表13 通道地址格式

Channel	CA1（DB8）	CA0（DB9）
AIN1	0	0
AIN2	0	1
AIN3	1	0
AIN4	1	1

3.3 芯片应用

3.3.1 芯片主模式应用范例

图 6 是芯片 CS1253 使用主模式实现和 DSP 芯片 TMS320C25 接口的应用范例。初始化编程 CS1253 的控制寄存器。FSX 变低电平使能外部时钟。当配置完成控制寄存器，FSX 应该始终保持高电平，此时的外部时钟要求是一直关闭的。CS1253 开始控制数据线 SDATA，传送数据。同时，CS1253 会提供时钟和要求 DSP 通过 RESET 脚发送桢同步信号。

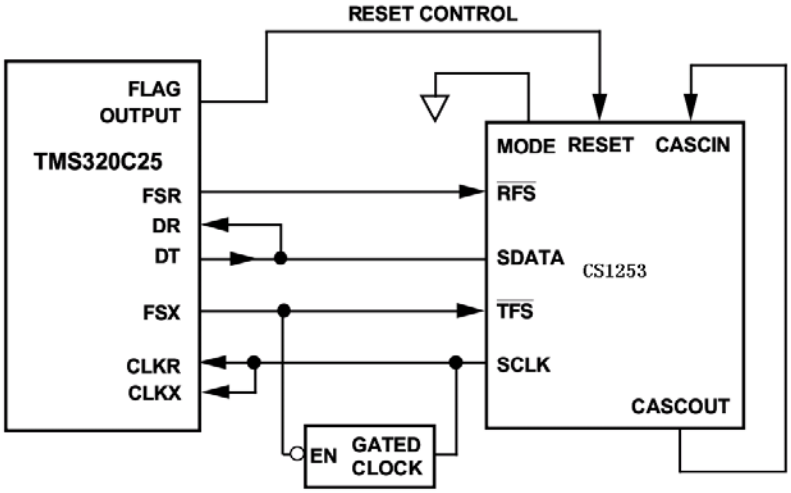

图6 主模式应用

3.3.2 芯片从模式应用范例

图 7 是芯片 CS1253 使用从模式实现和 DSP 芯片 56001 接口的应用范例。芯片被设置成从模式。DSP56001 设置异步门控时钟。DSP 发送 2 个字节给 CS1253 的控制寄存器。

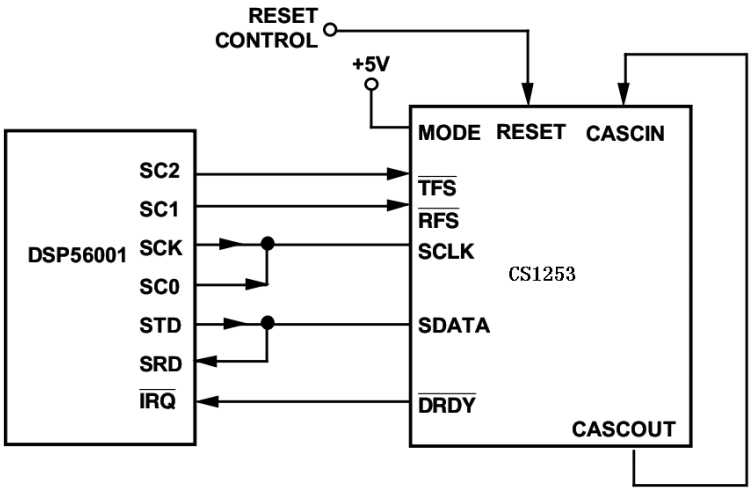

图7 从模式应用

3.3.3 多通道数据采集系统应用

图 8 是使用 2 片 CS1253 实现八路通道数据采集的应用。芯片通过 MODE 脚拉高被设置成从模式。这意味着 ADSP-2101 是主模式，并提供必要的帧同步信号和 SCLK 信号。两个 CS1253 芯片的 A2、A1、A0 分别配置成 000 和 001，通过 CASCIN 和 CASCOUT 实现级联。上电后，首先要配置它们两个的控制寄存器。当写寄存器完成，发送 reset 脉冲信号给两个 CS1253 芯片。这样确保采样和接口时序是同步的。复位完成后，DSP 进入读程序过程。DSP 等待芯片 CS1253 的中断，这个中断由 $\overline{\text{DRDY}}$ 变低产生，表示 CS1253 转换的数据已经准备好。

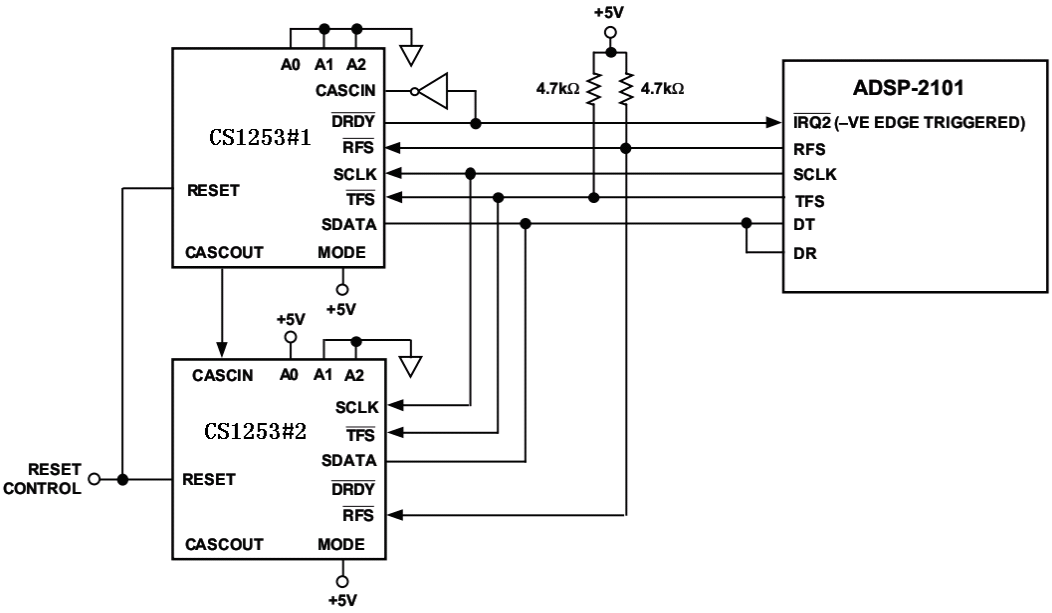

图8 八通道数据采集系统

3.3.4 多带宽系统应用

在一些应用中要求多个 CS1253 芯片对应每个芯片都有不同的带宽。如图 9，两颗 CS1253 实现不同带宽的应用。这个范例芯片使用主模式，但是从模式同样也可以实现这样的应用。这个例子显示器件#0 的截止频率设置成 292Hz，器件#1 的截止频率设置成 146Hz。

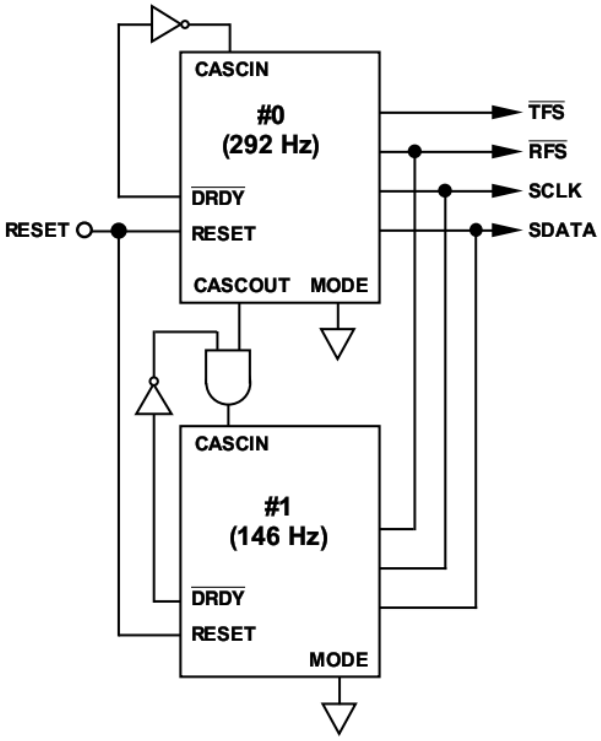

图9 多带宽系统

4 芯片封装

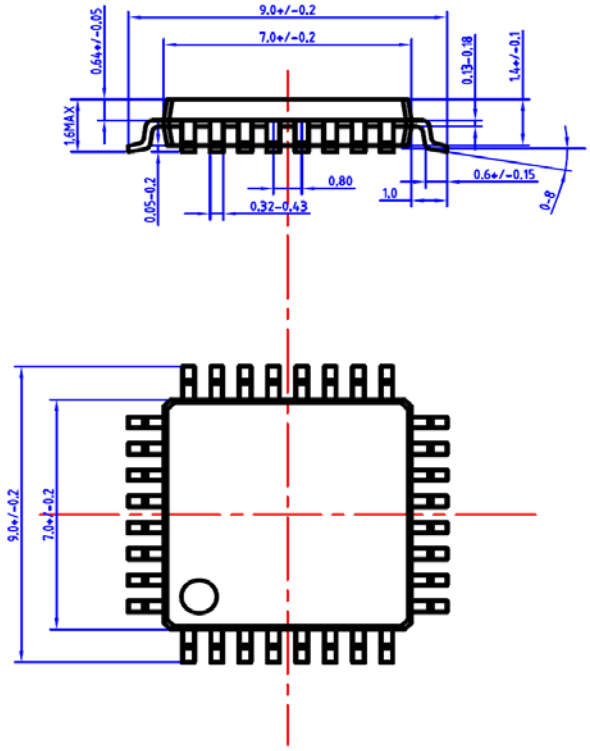

图10 LQFP32 封装